

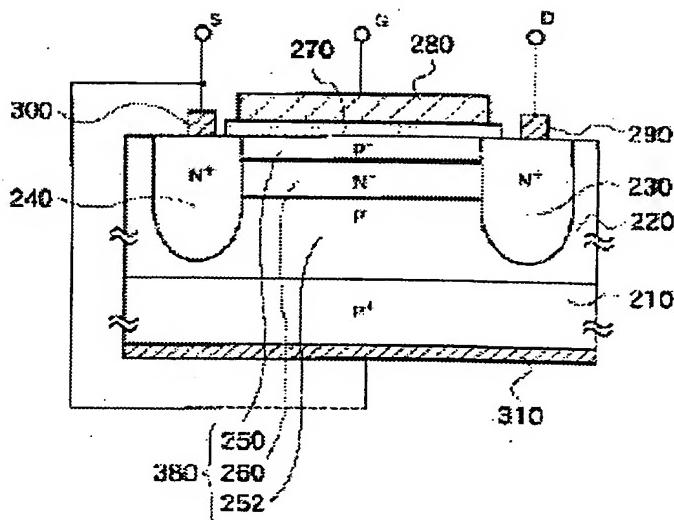
**FIELD-EFFECT TRANSISTOR AND METHOD FOR MANUFACTURING IT**

**Publication number:** JP2003031802  
**Publication date:** 2003-01-31  
**Inventor:** KANEKO SAICHIRO  
**Applicant:** NISSAN MOTOR  
**Classification:**  
 - **International:** H01L29/78; H01L29/786; H01L29/66; (IPC1-7): H01L29/78; H01L29/786  
 - **European:**  
**Application number:** JP20010218555 20010718  
**Priority number(s):** JP20010218555 20010718

[Report a data error here](#)

**Abstract of JP2003031802**

**PROBLEM TO BE SOLVED:** To provide a field-effect transistor capable of reducing on-resistance and to provide a method for manufacturing it. **SOLUTION:** The field-effect transistor consists of a wafer obtained by laminating a P-> type SiC epitaxial area 220 on a P<-> type SiC substrate 210, a drain area 230 and a source area 240 formed by injection to the inside of a prescribed site wafer on a wafer surface, a channel area 380 formed between the drain area 230 and the source area 240, a drain electrode 290 formed in the drain area 230, a source electrode 300 formed in the source area 240, and a gate electrode 280 formed via a gate insulation film 270 to the channel area 380. Then, the channel area 380 consists of a P<-> type gate semiconductor area 250, an N<-> type buried channel area 260, and a P<-> type body semiconductor area 252.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2003-31802

(P2003-31802A)

(43)公開日 平成15年1月31日(2003.1.31)

(51)Int.C1.<sup>7</sup>

H01L 29/78

識別記号

652

F I

H01L 29/78

652

E 5F110

652

T 5F140

653

A

301

B

618

B

29/786

審査請求 未請求 請求項の数 16 O L

テマコード(参考)

(全25頁)

最終頁に続く

(21)出願番号

特願2001-218555(P2001-218555)

(22)出願日

平成13年7月18日(2001.7.18)

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 金子 佐一郎

神奈川県横浜市神奈川区宝町2番地 日産  
自動車株式会社内

(74)代理人 100083806

弁理士 三好 秀和 (外8名)

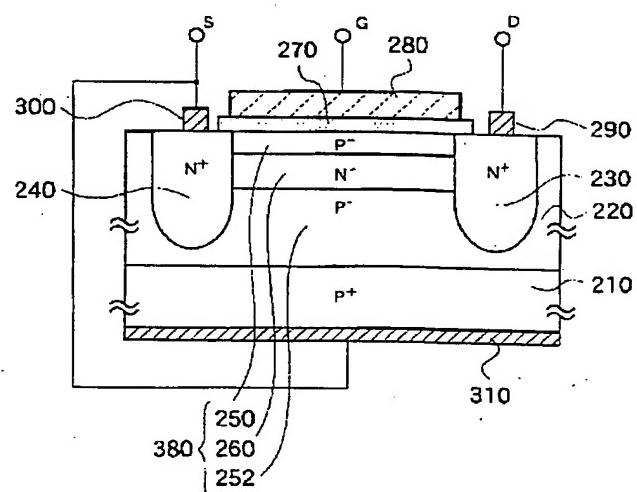
最終頁に続く

(54)【発明の名称】電界効果トランジスタ及びその製造方法

(57)【要約】

【課題】 オン抵抗を低減することのできる電界効果トランジスタ及びその製造方法を提供することが課題である。

【解決手段】 P+型SiC基板210上にP-型SiCエピタキシャル領域220が積層されたウエハと、ウエハ表面の所定部位ウエハの内部に注入して形成されるドレイン領域230、及びソース領域240と、ドレイン領域230とソース領域240との間に形成されるチャネル領域380と、ドレイン領域230に形成されるドレイン電極290と、ソース領域240に形成されるソース電極300と、チャネル領域380に対し、ゲート絶縁膜270を介して形成されるゲート電極280と、を有して構成される。そして、チャネル領域380は、P-型ゲート半導体領域250と、N-型埋込チャネル領域260、及びP-型ボディ半導体領域252から構成される。



## 【特許請求の範囲】

【請求項1】 硅素よりもバンドギャップの広いワイドバンドギャップ半導体を有する半導体基板と、前記半導体基板の表面の所定部位に形成されるドレイン領域、及びソース領域と、前記ドレイン領域とソース領域との間に形成され、ゲート電圧によってチャネルが形成されるチャネル領域と、前記ドレイン領域に形成されるドレイン電極と、前記ソース領域に形成されるソース電極と、

前記チャネル領域に対し、ゲート絶縁膜を介して形成されるゲート電極と、

を具備し、

前記チャネル領域は、第1導電型のゲート半導体領域と、第2導電型の埋込チャネル領域と、第1導電型のボディ半導体領域からなることを特徴とする電界効果トランジスタ。

【請求項2】 硅素よりもバンドギャップの広いワイドバンドギャップ半導体を有する半導体基板と、

前記半導体基板の表面の所定部位に形成されるドレイン領域、及びソース領域と、

前記ドレイン領域とソース領域との間に形成され、ゲート電圧によってチャネルが形成されるチャネル領域と、前記ドレイン領域とソース領域の外側に形成される絶縁層領域と、

前記ドレイン領域に形成されるドレイン電極と、

前記ソース領域に形成されるソース電極と、

前記チャネル領域に対し、ゲート絶縁膜を介して形成されるゲート電極と、

を具備し、

前記チャネル領域は、第1導電型のゲート半導体領域と、第2導電型の埋込チャネル領域と、を有し、前記第2の導電型の埋込チャネル領域は、前記第1導電型のゲート半導体領域と前記絶縁層領域との間に形成されたことを特徴とする電界効果トランジスタ。

【請求項3】 硅素よりもバンドギャップの広いワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域を積層して構成される半導体基板と、

前記半導体基板の一方の表面の所定部位に形成される溝部と、

前記溝部の内面に形成される第1導電型のゲート半導体領域と、該ゲート半導体領域の外側となる前記エピタキシャル領域に形成される第2導電型の埋込チャネル領域と、この埋込チャネル領域の外側に形成される第1導電型のボディ半導体領域と、からなるチャネル領域と、前記埋込チャネル領域の上側に形成されるソース領域と、

前記ソース領域に形成されるソース電極と、

前記ゲート半導体領域の内側に、ゲート絶縁膜を介して形成されるゲート電極と、

- 10 前記溝部の内面に形成される第1導電型のゲート半導体領域と、該ゲート半導体領域の外側となる前記エピタキシャル領域に形成される第2導電型の埋込チャネル領域と、からなるチャネル領域と、前記埋込チャネル領域の上側に形成されるソース領域と、前記ソース領域に形成されるソース電極と、前記ゲート半導体領域の内側に、ゲート絶縁膜を介して形成されるゲート電極と、前記半導体基板の他方の表面に形成されるゲート電極と、

- 20 を有することを特徴とする電界効果トランジスタ。
- 【請求項5】 前記第1導電型のゲート半導体領域を、CVDエピタキシャル成長により形成することを特徴とする請求項1～請求項4のいずれか1項に記載の電界効果トランジスタ。

- 【請求項6】 硅素よりもバンドギャップの広いワイドバンドギャップ半導体を有する半導体基板と、前記半導体基板の表面の所定部位に形成されるドレイン領域、及びソース領域と、

- 30 前記ドレイン領域とソース領域との間に形成されるチャネル領域と、前記ドレイン領域に形成されるドレイン電極と、前記ソース領域に形成されるソース電極と、前記チャネル領域に対し、ゲート絶縁膜を介して形成されるゲート電極と、

- 50 を具備し、前記チャネル領域は、第1導電型の表面チャネル領域部と、第2導電型の埋込チャネル領域部からなり、前記ドレイン領域は、第1導電型のドレイン領域部と、第2導電型のドレイン領域部からなり、前記ソース領域は、第1導電型のソース領域部と、第2導電型のソース領域部からなることを特徴とする電界効果トランジスタ。

- 【請求項7】 前記半導体基板は、ワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域が積層されて構成されることを特徴とする請求項6に記載の電界効果トランジスタ。

- 【請求項8】 前記半導体基板は、珪素基板上に二酸化珪素膜を形成し、更に、該二酸化珪素膜上に前記ワイドバンドギャップ半導体の単結晶層を形成して構成されることを特徴とする請求項6に記載の電界効果トランジ

タ。

【請求項9】 硅素よりもバンドギャップの広いワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域を積層して構成される半導体基板と、

前記半導体基板の一方の表面の所定部位に形成される溝部と、

前記溝部の周囲に、ゲート絶縁膜を介して形成されるゲート電極と、

前記溝部に沿って、前記半導体基板の一方の表面から内部に注入して形成されるソース領域と、

該ソース領域の下部に形成されるチャネル領域と、前記ソース領域、及びチャネル領域の周辺部に形成される二酸化珪素膜と、

前記ソース領域に形成されるソース電極と、

前記半導体基板の他方の表面に形成されるドレイン電極と、

を具備し、

前記チャネル領域は、第1導電型の表面チャネル領域部と、第2導電型の埋込チャネル領域部とからなり、前記ソース領域は、第1導電型のソース領域部と、第2導電型のソース領域部とからなることを特徴とする電界効果トランジスタ。

【請求項10】 前記ワイドバンドギャップ半導体は、炭化珪素半導体であることを特徴とする請求項1～請求項9のいずれか1項に記載の電界効果トランジスタ。

【請求項11】 前記第1導電型は、P型またはN型のうちの一方であり、前記第2導電型は、P型またはN型のうちの他方であることを特徴とする請求項1～請求項10のいずれか1項に記載の電界効果トランジスタ。

【請求項12】 硅素よりもバンドギャップの広い第1導電型のワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域を積層して構成される半導体基板を用いた電界効果トランジスタを製造する方法であつて、

前記半導体基板の表面に、少なくとも2箇所の開口部を有するマスク材を配置し、該マスク材の上から、第2導電型の不純物及び第1導電型の不純物を注入することにより、第1導電型のソース領域部と第2導電型のソース領域部からなるソース領域、及び第1導電型のドレイン領域部と第2導電型のドレイン領域部からなるドレイン領域を形成する第1aのステップと、前記半導体基板の表面に、前記ドレイン領域とソース領域とに挟まれる部位が開口部とされたマスク材を配置し、この開口部から第2導電型の不純物及び第1導電型の不純物を注入することにより、第1導電型の表面チャネル領域部と第2導電型の埋込チャネル領域部からなるチャネル領域を形成する第2aのステップと、前記チャネル領域の表面にゲート絶縁膜、及びゲート電極を形成する第3aのステップと、

前記ソース領域の表面にソース電極を形成し、前記ドレイン領域の表面にドレイン電極を形成する第4aのステップと、

を有することを特徴とする電界効果トランジスタの製造方法。

【請求項13】 前記第2aのステップの後に、前記ドレイン領域の側部が開口部とされたマスク材を配置し、該開口部から第2導電型の不純物を注入することにより、前記ドレイン領域から前記半導体基板側へ流れ込む電流を阻止する領域を形成する第5aのステップを具備し、その後、前記第3aのステップ以降の処理を行うことを特徴とする請求項12に記載の電界効果トランジスタの製造方法。

【請求項14】 硅素よりもバンドギャップの広い第1導電型のワイドバンドギャップ半導体を含む半導体基板を用いた電界効果トランジスタを製造する方法であつて、

表面に二酸化珪素膜が形成された硅素基板の、前記二酸化珪素膜上に、前記ワイドバンドギャップ半導体基板を張り合わせる第1bのステップと、

前記ワイドバンドギャップ半導体基板の表面を熱酸化させて、ワイドバンドギャップ半導体層、及び二酸化珪素膜を形成し、その後、該二酸化珪素膜を除去する第2bのステップと、

前記二酸化珪素膜が除去された後のワイドバンドギャップ半導体層の表面に、少なくとも2箇所の所望部位が開口部とされたマスク材を設置し、この開口部から不純物を注入し、第1導電型のドレイン領域部と第2導電型のドレイン領域部からなるドレイン領域、及び第1導電型のソース領域部と第2導電型のソース領域部からなるソース領域を形成する第3bのステップと、

前記ドレイン領域、及びソース領域の表面を覆設するマスク材を設置し、該マスク材にて覆設されない部分から不純物を注入して、第1導電型の表面チャネル領域部と第2導電型の埋込チャネル領域部からなるチャネル領域を形成する第4bのステップと、

前記チャネル領域の表面にゲート絶縁膜、及びゲート電極を形成する第5bのステップと、

前記ドレイン領域の表面にドレイン電極を形成し、前記ソース領域の表面にソース電極を形成する第6bのステップと、

を具備したことを特徴とする電界効果トランジスタの製造方法。

【請求項15】 前記ワイドバンドギャップ半導体は、炭化珪素半導体であることを特徴とする請求項12～請求項14のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項16】 前記第1導電型は、P型またはN型のうちの一方であり、前記第2導電型は、P型またはN型のうちの他方であることを特徴とする請求項12～請求

項15のいずれか1項に記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタに係り、特にオン抵抗を低く抑えることのできる電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】従来における電界効果トランジスタとして、例えば、特開平9-74193号公報（以下、従来例という）に記載されたものが知られている。図23は、該従来例に記載された電界効果トランジスタの構成を示す断面図である。

【0003】同図に示すように、この電界効果トランジスタは、高濃度N+型SiC（炭化珪素）からなるワイドバンドギャップ半導体基板201上に、N-型SiCからなるエピタキシャル領域202が形成され、該エピタキシャル領域202上にP-型SiCからなるエピタキシャル領域203が形成されている。

【0004】そして、エピタキシャル領域203の表層部における所定領域には、N+型ソース領域205、及びP+型ボディコンタクト領域204が形成される。また、エピタキシャル領域203内には溝208が、エピタキシャル領域203を貫通しエピタキシャル領域202に達するように形成されている。

【0005】更に、溝208の側壁にはN-型SiCからなるチャネル領域206が形成されている。また、層間絶縁膜212によりゲート電極209と絶縁されて、ソース領域205、及びボディコンタクト領域204に接続されたソース電極211が形成され、ワイドバンドギャップ半導体基板201の裏面にドレイン電極210が形成されている。

【0006】この電界効果トランジスタにおいては、ドレイン電極210とソース電極211との間に電圧が印加された状態で、ゲート電極209に電圧が印加されると、ゲート電極209に対向したチャネル領域206の表層に、N型蓄積層型のチャネルが形成され、ドレイン電極210からソース電極211に電流が流れれる。

【0007】

【発明が解決しようとする課題】前述した従来例に記載されたSiC蓄積型電界効果トランジスタでは、ゲート絶縁膜207と、N-型蓄積チャネル形成領域206との界面に不完全な結晶構造が存在する。このため、ゲート電極209に電圧を印加して形成したチャネル領域206表層の蓄積チャネルに多量の界面準位が存在し、これらが電子トラップとして働くためチャネル移動度を大きくすることができずオン抵抗が高いという問題がある。

【0008】また、耐圧に関しては、ドレイン電極210に高電圧が印加されたとき、溝208の底部のゲート

絶縁膜207に高電圧が加えられる。そして、この絶縁膜207が破壊されると、大量の漏れ電流が発生するため、ワイドバンドギャップ半導体であるSiC本来の、高い耐絶縁破壊電界を活かした高耐圧を実現することができないという問題があった。

【0009】本発明は、このような従来の課題を解決するためになされたものであり、その目的とするところは、高耐圧でオン抵抗の低い電界効果トランジスタ及びその製造方法を提供することにある。特にワイドバンドギャップ半導体装置を対象とし、ノーマリーオフの電圧駆動型で、高いチャネル移動度を有する低オン抵抗の電界効果トランジスタ及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、本願請求項1に記載の発明は、珪素よりもバンドギャップの広いワイドバンドギャップ半導体を有する半導体基板と、前記半導体基板の表面の所定部位に形成されるドレイン領域、及びソース領域と、前記ドレイン領域とソース領域との間に形成され、ゲート電圧によってチャネルが形成されるチャネル領域と、前記ドレイン領域に形成されるドレイン電極と、前記ソース領域に形成されるソース電極と、前記チャネル領域に対し、ゲート絶縁膜を介して形成されるゲート電極と、を具備し、前記チャネル領域は、第1導電型のゲート半導体領域と、第2導電型の埋込チャネル領域と、第1導電型のボディ半導体領域からなることが特徴である。

【0011】請求項2に記載の発明は、珪素よりもバンドギャップの広いワイドバンドギャップ半導体を有する半導体基板と、前記半導体基板の表面の所定部位に形成されるドレイン領域、及びソース領域と、前記ドレイン領域とソース領域との間に形成され、ゲート電圧によつてチャネルが形成されるチャネル領域と、前記ドレイン領域とソース領域の外側に形成される絶縁層領域と、前記ドレイン領域に形成されるドレイン電極と、前記ソース領域に形成されるソース電極と、前記チャネル領域に対し、ゲート絶縁膜を介して形成されるゲート電極と、を具備し、前記チャネル領域は、第1導電型のゲート半導体領域と、第2導電型の埋込チャネル領域と、を有

し、前記第2の導電型の埋込チャネル領域は、前記第1導電型のゲート半導体領域と前記絶縁層領域との間に形成されたことを特徴とする。

【0012】請求項3に記載の発明は、珪素よりもバンドギャップの広いワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域を積層して構成される半導体基板と、前記半導体基板の一方の表面の所定部位に形成される溝部と、前記溝部の内面に形成される第1導電型のゲート半導体領域と、該ゲート半導体領域の外側となる前記エピタキシャル領域に形成される第2導電型の埋込チャネル領域と、この

埋込チャネル領域の外側に形成される第1導電型のボディ半導体領域と、からなるチャネル領域と、前記埋込チャネル領域の上側に形成されるソース領域と、前記ソース領域に形成されるソース電極と、前記ゲート半導体領域の内側に、ゲート絶縁膜を介して形成されるゲート電極と、前記半導体基板の他方の表面に形成されるゲート電極と、を有することを特徴とする。

【0013】請求項4に記載の発明は、珪素よりもバンドギャップの広いワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域を積層して構成される半導体基板と、前記半導体基板の一方の表面の所定部位に形成される溝部と、前記溝部の内面に形成される第1導電型のゲート半導体領域と、該ゲート半導体領域の外側となる前記エピタキシャル領域に形成される第2導電型の埋込チャネル領域と、からなるチャネル領域と、前記埋込チャネル領域の上側に形成されるソース領域と、前記ソース領域に形成されるソース電極と、前記ゲート半導体領域の内側に、ゲート絶縁膜を介して形成されるゲート電極と、前記半導体基板の他方の表面に形成されるゲート電極と、を有することを特徴とする。

【0014】請求項5に記載の発明は、前記第1導電型のゲート半導体領域を、CVDエピタキシャル成長により形成することを特徴とする。

【0015】請求項6に記載の発明は、珪素よりもバンドギャップの広いワイドバンドギャップ半導体を有する半導体基板と、前記半導体基板の表面の所定部位に形成されるドレイン領域、及びソース領域と、前記ドレイン領域とソース領域との間に形成されるチャネル領域と、前記ドレイン領域に形成されるドレイン電極と、前記ソース領域に形成されるソース電極と、前記チャネル領域に対し、ゲート絶縁膜を介して形成されるゲート電極と、を具備し、前記チャネル領域は、第1導電型の表面チャネル領域部と、第2導電型の埋込チャネル領域部からなり、前記ドレイン領域は、第1導電型のドレイン領域部と、第2導電型のドレイン領域部からなり、前記ソース領域は、第1導電型のソース領域部と、第2導電型のソース領域部からなることを特徴とする。

【0016】請求項7に記載の発明は、前記半導体基板は、ワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域が積層されて構成されることを特徴とする。

【0017】請求項8に記載の発明は、前記半導体基板は、珪素基板上に二酸化珪素膜を形成し、更に、該二酸化珪素膜上に前記ワイドバンドギャップ半導体の単結晶層を形成して構成されることを特徴とする。

【0018】請求項9に記載の発明は、珪素よりもバンドギャップの広いワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域を積層して構成される半導体基板と、前記半導体基板

の一方の表面の所定部位に形成される溝部と、前記溝部の周囲に、ゲート絶縁膜を介して形成されるゲート電極と、前記溝部に沿って、前記半導体基板の一方の表面から内部に注入して形成されるソース領域と、該ソース領域の下部に形成されるチャネル領域と、前記ソース領域、及びチャネル領域の周辺部に形成される二酸化珪素膜と、前記ソース領域に形成されるソース電極と、前記半導体基板の他方の表面に形成されるドレイン電極と、を具備し、前記チャネル領域は、第1導電型の表面チャネル領域部と、第2導電型の埋込チャネル領域部とからなり、前記ソース領域は、第1導電型のソース領域部と、第2導電型のソース領域部とからなることを特徴とする。

【0019】請求項10に記載の発明は、前記ワイドバンドギャップ半導体は、炭化珪素半導体であることを特徴とする。

【0020】請求項11に記載の発明は、前記第1導電型は、P型またはN型のうちの一方であり、前記第2導電型は、P型またはN型のうちの他方であることを特徴とする。

【0021】請求項12に記載の発明は、珪素よりもバンドギャップの広い第1導電型のワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域を積層して構成される半導体基板を用いた電界効果トランジスタを製造する方法であって、前記半導体基板の表面に、少なくとも2箇所の開口部を有するマスク材を配置し、該マスク材の上から、第2導電型の不純物及び第1導電型の不純物を注入することにより、第1導電型のソース領域部と第2導電型のソース領域部からなるソース領域、及び第1導電型のドレイン領域部と第2導電型のドレイン領域部からなるドレイン領域を形成する第1aのステップと、前記半導体基板の表面に、前記ドレイン領域とソース領域とに挟まれる部位が開口部とされたマスク材を配置し、この開口部から第2導電型の不純物及び第1導電型の不純物を注入することにより、第1導電型の表面チャネル領域部と第2導電型の埋込チャネル領域部からなるチャネル領域を形成する第2aのステップと、前記チャネル領域の表面にゲート絶縁膜、及びゲート電極を形成する第3aのステップと、前記ソース領域の表面にソース電極を形成し、前記ドレイン領域の表面にドレイン電極を形成する第4aのステップと、を有することを特徴とする。

【0022】請求項13に記載の発明は、前記第2aのステップの後に、前記ドレイン領域の側部が開口部とされたマスク材を配置し、該開口部から第2導電型の不純物を注入することにより、前記ドレイン領域から前記半導体基板側へ流れ込む電流を阻止する領域を形成する第5aのステップを具備し、その後、前記第3aのステップ以降の処理を行うことを特徴とする。

【0023】請求項14に記載の発明は、珪素よりもバ

ンドギャップの広い第1導電型のワイドバンドギャップ半導体を含む半導体基板を用いた電界効果トランジスタを製造する方法であつて、表面に二酸化珪素膜が形成された珪素基板の、前記二酸化珪素膜上に、前記ワイドバンドギャップ半導体基板を張り合わせる第1bのステップと、前記ワイドバンドギャップ半導体基板の表面を熱酸化させて、ワイドバンドギャップ半導体層、及び二酸化珪素膜を形成し、その後、該二酸化珪素膜を除去する第2bのステップと、前記二酸化珪素膜が除去された後のワイドバンドギャップ半導体層の表面に、少なくとも2箇所の所望部位が開口部とされたマスク材を設置し、この開口部から不純物を注入し、第1導電型のドレイン領域部と第2導電型のドレイン領域部からなるドレイン領域、及び第1導電型のソース領域部と第2導電型のソース領域部からなるソース領域を形成する第3bのステップと、前記ドレイン領域、及びソース領域の表面を覆設するマスク材を設置し、該マスク材にて覆設されない部分から不純物を注入して、第1導電型の表面チャネル領域部と第2導電型の埋込チャネル領域部からなるチャネル領域を形成する第4bのステップと、前記チャネル領域の表面にゲート絶縁膜、及びゲート電極を形成する第5bのステップと、前記ドレイン領域の表面にドレイン電極を形成し、前記ソース領域の表面にソース電極を形成する第6bのステップと、を具備したことを特徴とする。

【0024】請求項15に記載の発明は、前記ワイドバンドギャップ半導体は、炭化珪素半導体であることを特徴とする。

【0025】請求項16に記載の発明は、前記第1導電型は、P型またはN型のうちの一方であり、前記第2導電型は、P型またはN型のうちの他方であることを特徴とする。

#### 【0026】

【発明の効果】請求項1の発明では、ゲート電圧を印加しないときは、ゲート半導体領域と埋込チャネル領域の接合に生じる第1の空乏層が、ボディ半導体領域と埋込チャネル領域の接合に生じる第2の空乏層に接触し、これにより、埋込チャネル領域を完全に空乏化させ、ソース、ドレイン間に流れる電流を遮断することができる。つまり、ノーマリオフとなる。また、ゲートに電圧を印加すると、埋込チャネル領域内に蓄積チャネルが形成されるので、オン状態にスイッチングされる。

【0027】請求項2の発明によれば、ゲート電圧を印加しないときには、ゲート半導体領域と埋込チャネル領域の接合に生じる空乏層により、埋込チャネル領域を完全に空乏化させ、一方でゲートに電圧を印加すると前記埋込チャネル領域内に蓄積チャネルを形成することができる。

【0028】その結果、ノーマリオフの電圧駆動型で、高いチャネル移動度を有する電界効果トランジスタが得られる。特に、埋込チャネル領域内に形成される蓄積チ

ャネルは、ゲート絶縁膜とゲート半導体領域の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができる。それゆえチャネル抵抗を飛躍的に低減でき、ドレイン・ソース間のオン抵抗を低減することができる。

【0029】請求項3の発明によれば、ゲート電圧を印加しないときは、ゲート半導体領域と埋込チャネル領域の接合に生じる第1の空乏層が、ボディ半導体領域と埋込チャネル領域の接合に生じる第2の空乏層に接触し、

10 これにより埋込チャネル領域を完全に空乏化させ、一方でゲートに電圧を印加することで埋込チャネル領域内に蓄積チャネルを形成することができる。従って、ドレイン・ソース間のオン抵抗を低減することができる。

【0030】請求項4の発明によれば、ゲート電圧を印加しないときは、ゲート半導体領域と埋込チャネル領域の接合に生じる空乏層により、埋込チャネル領域を完全に空乏化させ、一方でゲート電圧を印加することで、埋込チャネル領域内に蓄積チャネルを形成することができる。その結果、ドレイン・ソース間のオン抵抗を低減することができる。

20 【0031】また、ドレイン電極とソース電極との間に高電圧が印加された場合、溝に沿って形成される第1導電型のゲート半導体領域から延びる空乏層によって、ゲート絶縁膜にかかる電界がシールドされるので、ゲート絶縁膜の耐圧で決まらない、ワイドバンドギャップ半導体の高い絶縁破壊電界に対応する高耐圧を実現することができる。

【0032】請求項5の発明によれば、溝に沿った第1導電型のゲート半導体領域をCVDエピタキシャル成長30により形成することができるので、ゲート半導体領域は結晶欠陥が少なく品質の良い領域とすることができます。その結果、ゲート半導体領域の表面に形成されるゲート絶縁膜の品質を向上できる、あるいは、オン時におけるリーク電流も小さくなる等の利点がある。

【0033】請求項6、12、13の発明では、ゲート電極に電圧を印加しないときは、第1導電型の表面チャネル領域部と第2導電型の埋込チャネル領域部との接合部に生じる空乏層により、表面チャネル領域部、及び埋込チャネル領域部を完全に空乏化させることができる。

40 一方、ゲート電極に電圧を印加すると、表面チャネル領域部に第1導電型の蓄積チャネルを形成することができ、また、埋込チャネル領域部内に第2導電型の蓄積チャネルを形成することができる。その結果、オン抵抗を低減することができる。

【0034】請求項7の発明では、ワイドバンドギャップ半導体の基板上に、該ワイドバンドギャップ半導体のエピタキシャル領域が積層されているので、オン抵抗を低減させることができる。

【0035】請求項8、14の発明では、二酸化珪素膜50 上にワイドバンドギャップ半導体の単結晶層を形成して

いるので、オン抵抗を低減することができる。

【0036】請求項9の発明では、高ドレイン耐圧を有する電界効果トランジスタにおいても、ゲート電極に電圧を印加しないときは、第1導電型の表面チャネル領域部と第2導電型の埋込チャネル領域部の接合部分に生じる空乏層により、表面チャネル領域部、及び埋込チャネル領域部を完全に空乏化させることができる。一方、ゲート電極に電圧を印加すると、表面チャネル領域部に第1導電型の蓄積チャネルを形成することができ、また、埋込チャネル領域部に第2導電型の蓄積チャネルを形成することができる。

【0037】その結果、ノーマリーオフの電圧駆動型で、高いチャネル移動度を有する電界効果トランジスタを得ることができる。特に、本発明により表面チャネル領域部には第1導電型の蓄積チャネルが形成され、埋込チャネル領域部には第2導電型の蓄積チャネルが形成されるWチャネル構造とすることが可能となる。また、第2導電型の蓄積チャネルは、ゲート絶縁膜と表面チャネル領域部の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができます。このため、チャネル抵抗を飛躍的に低減でき、ドレン・ソース間のオン抵抗を低減することができる。

【0038】請求項10、15の発明では、ワイドバンドギャップ半導体として、炭化珪素半導体(SiC)を用いることにより、PN接合のビルトイン電圧が大きく、ゲート電極に電圧が印加されていない状態で電流が非導通状態となるような設計を容易に行うことができる。

【0039】請求項11、16の発明では、第1導電型及び第2導電型を、P型及びN型とすることにより、融通性に富む。

#### 【0040】

【発明の実施の形態】以下、本発明の実施形態を、図面に基づいて説明する。なお、本発明の電界効果トランジスタの実施形態においては、第1導電型をP型とし、第2導電型をN型とするが、第1導電型をN型、第2導電型をP型としてもよい。また、本実施形態ではゲート絶縁膜上にポリシリコン電極を形成するMIS型電界効果トランジスタを例に説明するが、ゲート電極にショットキーメタルを用いたMESFET型としてもよい。

【0041】また、本実施形態では取り上げないが、本発明はIGBT、MISサイリスタ等の電圧駆動型電界効果トランジスタ素子にも適用できる。更に、本発明の趣旨を逸脱しない範囲での変形も含むことは言うまでもない。

【0042】【第1実施例】図1は、本発明第1実施例に係るSiC(炭化珪素；ワイドバンドギャップ半導体)電界効果トランジスタの単位セルの断面図である。同図に示すように、この電界効果トランジスタは、基板コンタクトをとるためのP+型SiC基板210上に、

P-型エピタキシャル領域220が積層されたウェハ(半導体基板)において、P-型エピタキシャル領域220表面層の所定の領域に、所定深さのN+型ドレイン領域230(図中右側)と、N+型ソース領域240(図中左側)が形成されている。

【0043】そして、ドレイン領域230とソース領域240の間に挟まれるエピタキシャル領域220の部分には、チャネル領域380が形成される。このチャネル領域380は、P-型ゲート半導体領域250(第1の導電型のゲート半導体領域)、N-型埋込チャネル領域260(第2の導電型の埋込チャネル領域)、及びP-型ボディ半導体領域252(第1の導電型のボディ半導体領域)の3つの領域から構成される。

【0044】ここで、ゲート半導体領域250、及び埋込チャネル領域260の厚さ及びキャリア濃度は、埋込チャネル領域260に存在する伝導キャリアがゲート半導体領域250、及びボディ半導体領域252との静電ポテンシャルにより空乏化されるように設計されている。

【0045】さらに詳しくは、ゲート半導体領域250と埋込チャネル領域260の接合に生じる第1の空乏層が、ボディ半導体領域252と埋込チャネル領域260の接合に生じる第2の空乏層に接触し、これにより埋込チャネル領域260が完全に空乏化されるように設計されている。

【0046】また、P-型ゲート半導体領域250の表面には、ゲート絶縁膜270を介してゲート電極280が形成される。また、ドレイン領域230の上面には、ドレン電極290が形成される。更に、ソース領域240の上面には、ソース電極300が形成される。そして、P+型SiC基板210の裏面には、基板コンタクト電極310が形成されている。

【0047】次に、本実施例の電界効果トランジスタの製造方法の一例を、図2、図3に示す断面図を用いて説明する。

【0048】まず、図2(a)の工程では、P+型SiC基板210の上に、例えば不純物濃度が1E14~1E18/cm<sup>3</sup>、厚さが1~50μmのP-型SiCエピタキシャル領域220を形成する。

【0049】図2(b)の工程では、マスク材320を用いて、P-型SiCエピタキシャル領域220の表層部の所定の領域に、例えば100~1000°Cの高温で燐イオンを注入し、N+型ドレイン領域230、及びN+型ソース領域240を形成する。加速電圧は例えば100~3MeVで多段注入を行い、総ドーズ量は例えば1E13~1E16/cm<sup>2</sup>である。N型不純物となる不純物としては燐の他に窒素、ヒ素などを用いてよい。

【0050】図3の(c)の工程では、マスク材321を用いて、N+型ドレイン領域230と、N+型ソース

領域240との間のエピタキシャル領域220の部分に、例えば100～1000°Cの高温で窒素イオンを注入し、N-型埋込チャネル領域260を形成する。この際、加速電圧を例えば30～3MeVとして多段注入を行い、総ドーズ量は例えば1E11～1E15/cm<sup>2</sup>である。

【0051】このとき、注入された窒素原子は、P-型ゲート半導体領域250よりも深いところに分布することを条件とする。また、N-型埋込チャネル領域260の下面に位置するエピタキシャル領域220の部分を、P-型ボディ半導体領域252とする。

【0052】そして、ゲート半導体領域250、埋込チャネル領域260の厚さ及びキャリア濃度は、ゲート半導体領域250と埋込チャネル領域260の接合に生じる第1の空乏層が、ボディ半導体領域252と埋込チャネル領域260の接合に生じる第2の空乏層に接触し、これにより埋込チャネル領域260が完全に空乏化されるように設計される。

【0053】そして、イオン注入を行った後、例えば1000～1700°Cでの熱処理を行い、注入した不純物を活性化する。こうして、ゲート半導体領域250、埋込チャネル領域260、及びボディ半導体領域252からなる、チャネル領域380が完成する。

【0054】なお、上記では、N-型埋込チャネル領域260はイオン注入より形成したが、CVD法によりエピタキシャル成長させて形成してもよい。

【0055】図3(d)の工程では、P-型ゲート半導体領域250の上面を含むエピタキシャル領域220の表面にゲート絶縁膜270を例えば900～1300°Cでの熱酸化により形成する。その後、例えばポリシリコンによりゲート電極280を形成する。

【0056】この後、特に図示しないが、基板裏面に基板コンタクト電極310として金属膜を蒸着し、例えば600～1400°C程度で熱処理してオーミック電極とし、またドレイン領域230上にドレイン電極290を、ソース領域240上にソース電極300を形成する。このようにして、図1に示した電界効果トランジスタが完成する。

【0057】なお、本実施例においては、ドレイン電極290およびソース電極300は、少なくともN+型ドレイン領域230、及びN+型ソース領域240の表面の一部に形成されていればよい。また、本実施例では、P+型のSiC基板210を用いて基板コンタクトを裏面からとする構造としているが、N+型のSiC基板の上にP-型のエピタキシャル層を成長させ、基板コンタクトをP-型のエピタキシャル層の表面側に形成してもよい。またP-型のSiC基板を用いてもよい。

【0058】次に、この電界効果トランジスタの動作について説明する。ゲート電極280に電圧が印加されていない状態では、ゲート半導体領域250と埋込チャネ

ル領域260の接合部からビルトイン電圧に対応して広がる第1の空乏層が、ボディ半導体領域252と埋込チャネル領域260の接合部からビルトイン電圧に対応して広がる第2の空乏層に接触し、これにより埋込チャネル領域260をピンチオフ状態にできる。

【0059】その結果、ソースSとドレインD間の電流を遮断することができ、ノーマリーオフとなる。また、ワイドバンドギャップ半導体基板として、SiCからなるものを用いたときには、PN接合のビルトイン電圧が大きく、このようなゲート電極に電圧が印加されていない状態で電流が非導通状態となるような設計を容易に行うことができる。

【0060】次に、ゲート電極280に対して負のバイアスを供給すると、表面チャネル領域60内にソース領域240からドレイン領域230へと延びる蓄積型のチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、N+型ソース領域240から埋込チャネル領域260内に形成される蓄積チャネルを経由し、N+型ドレイン領域230に流れ込む。

【0061】このように、ゲート電極280に負の電圧を印加することにより、表面チャネル領域260内に蓄積チャネルを誘起させ、ソース電極300とドレイン電極290との間にキャリアが流れる。

【0062】その結果、ノーマリーオフの電圧駆動型で、高いチャネル移動度を有する電界効果トランジスタが得られる。特に、埋込チャネル領域260内に形成される蓄積チャネルは、ゲート絶縁膜270とゲート半導体領域250の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができる。そのため、チャネル抵抗を飛躍的に低減することができ、ドレイン・ソース間のオン抵抗を低減することができる。

【0063】[第2実施例] 図4は、本発明の第2実施例に係るSiC電界効果トランジスタの単位セルの断面図である。図示のように、シリコン基板340の上には二酸化シリコン膜330が形成されている。この二酸化シリコン膜330の上には、ソース、ドレイン、チャネルを形成するためのSiC単結晶層が形成されている。

【0064】このSiC単結晶層内には、二酸化シリコン膜330に達するまで形成されたN+型ドレイン領域231、及びN+型ソース領域241がそれぞれ形成されている。そしてドレイン領域231とソース領域241の間に挟まれるSiC単結晶層の部分にチャネル領域381が形成される。

【0065】このチャネル領域381は、P-型ゲート半導体領域251、及びN-型埋込チャネル領域261の2つの領域から構成される。ここで、ゲート半導体領域251、埋込チャネル領域261の厚さ、及びキャリア濃度は、ゲート半導体領域251と埋込チャネル領域261の接合部からビルトイン電圧に対応して広がる空

乏層により、埋込チャネル領域261が完全に空乏化されるように設計されている。

【0066】また、P-型ゲート半導体領域251の表面には、ゲート絶縁膜271を介してゲート電極281が形成される。ドレイン領域231の上面にはドレイン電極291が形成される。また、ソース領域241の上面にはソース電極301が形成される。

【0067】次に、本実施例の電界効果トランジスタの製造方法の一例を、図5(a)～(c)、図6(d)～(e)に示す断面図を参照しながら説明する。

【0068】まず、図5(a)の工程では、表面に、厚みが例えば $0.01\sim3\mu\text{m}$ の二酸化シリコン膜330が形成されたシリコン基板340を準備する。次いで、二酸化シリコン膜330に、厚みが例えば $0.1\sim5\mu\text{m}$ 、P型不純物を均一に例えば $1E14\sim1E18/\text{cm}^3$ 含有したP-型SiC半導体基板401を張り合わせる。

【0069】図5(b)の工程では、P-型SiC半導体基板401を、例えば酸化温度 $900\sim1200^\circ\text{C}$ で熱酸化し、SiC半導体基板401の露出した表面から例えば厚さ $0.01\sim4\mu\text{m}$ 程度の厚さの二酸化シリコン膜402を形成する。これにより、二酸化シリコン膜402と、二酸化シリコン膜330との間に、厚みが例えば $0.1\sim2\mu\text{m}$ 程度のP-型SiC半導体層403が得られる。その後、二酸化シリコン膜402をフッ化アンモニウム溶液により除去する。

【0070】図5(c)の工程では、マスク材322を用いて、P-型SiC半導体層403の所定の領域に、二酸化シリコン膜330に達するまで、例えば $100\sim1000^\circ\text{C}$ の高温で燐イオンを注入し、N+型ドレイン領域231及びN+型ソース領域241を形成する。加速電圧は、例えば $100\sim3\text{MeV}$ で多段注入を行い、総ドーズ量は例えば $1E13\sim1E16/\text{cm}^2$ である。N型不純物となる不純物としては燐の他に窒素、ヒ素などを用いてもよい。

【0071】図6(d)の工程では、マスク材323を用いて、N+型ドレイン領域231とN+型ソース領域241との間のP-型半導体層403の部分に、例えば $100\sim1000^\circ\text{C}$ の高温で窒素イオンを注入し、N型埋込チャネル領域261を形成する。加速電圧は例えば $30\sim3\text{MeV}$ で多段注入を行い、総ドーズ量は例えば $1E11\sim1E15/\text{cm}^2$ である。

【0072】この時、注入された窒素原子は、P-型ゲート半導体領域251よりも深いところに分布する条件とする。そして、ゲート半導体領域251、埋込チャネル領域261の厚さ、及びキャリア濃度は、ゲート半導体領域251と埋込チャネル領域261の接合部からビルトイン電圧に対応して広がる空乏層により、埋込チャネル領域261が完全に空乏化されるように設計される。

【0073】イオン注入を行った後、例えば $1000\sim1700^\circ\text{C}$ での熱処理を行い、注入した不純物を活性化する。こうして、ゲート半導体領域251及び埋込チャネル領域261からなる、チャネル領域381が完成する。

【0074】図6(e)の工程では、P-型ゲート半導体領域251の上面を含む半導体層表面にゲート絶縁膜271を例えば $900\sim1300^\circ\text{C}$ での熱酸化により形成する。その後、例えばポリシリコンによりゲート電極281を形成する。

【0075】その後、特に図示しないが、ドレイン領域231上にドレイン電極291を、ソース領域241上にソース電極301を形成する。こうして、図4に示した電界効果トランジスタが完成する。

【0076】なお、本実施例においては、ドレイン電極291及びソース電極301は、少なくともN+型ドレイン領域231及びN+型ソース領域241の表面の一部に形成されればよい。

【0077】次に、この電界効果トランジスタの動作について説明する。ゲート電極281に電圧が印加されていない状態では、ゲート半導体領域251と埋込チャネル領域261の接合部からビルトイン電圧に対応して広がる空乏層により、埋込チャネル領域261をピンチオフ状態にできる。その結果、ソースSとドレインD間の電流を遮断することができノーマリーオフとなる。

【0078】また、ワイドバンドギャップ半導体基板としてSiCからなるものを用いたときには、PN接合のビルトイン電圧が大きく、このようなゲート電極に電圧が印加されていない状態で電流が非導通状態となるような設計を容易に行うことができる。

【0079】次に、ゲート電極281に対して負のバイアスを供給すると、埋込チャネル領域261内に、N+型ソース領域241からN+型ドレイン領域231へと延びる蓄積型のチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、ソース領域241から埋込チャネル領域261内に形成される蓄積チャネルを経由し、ドレイン領域231に流れ込む。

【0080】このように、ゲート電極281に負の電圧を印加することにより、埋込チャネル領域261内に蓄積チャネルを誘起させ、ソース電極301とドレイン電極291との間にキャリアが流れる。

【0081】その結果、ノーマリーオフの電圧駆動型で、高いチャネル移動度を有する電界効果トランジスタが得られる。特に、埋込チャネル領域261内に形成される蓄積チャネルは、ゲート絶縁膜271とゲート半導体領域251の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができる。このため、チャネル抵抗を飛躍的に低減でき、ドレイン・ソース間のオン抵抗を低減することができる。

【0082】[第3実施例] 図7は、本発明の第3実施

例に係るSiC電界効果トランジスタの単位セルの断面図である。図示のように、ドレイン領域となるN+型SiC基板211上に、N-型SiCエピタキシャル領域221が積層されたウエハにおいて、エピタキシャル領域221の表層部における所定領域には、N+型ソース領域242およびP+型ボディコンタクト領域350がそれぞれ形成されている。更に、N-型エピタキシャル領域221の一主面の所定の領域には溝360が形成されており、この溝360に沿ってP-型ゲート半導体領域253が形成される。

【0083】また、エピタキシャル領域221の表層部における所定領域には、ボディコンタクト領域350を含んだ所定深さを有するP-型のボディ半導体領域254が形成される。ここで、ゲート半導体領域253とボディ半導体領域254の間のエピタキシャル領域221の部分には、N-型埋込チャネル領域262が形成される。これら、ゲート半導体領域253、埋込チャネル領域262、及びボディ半導体領域254から構成される領域を、チャネル領域382とする。

【0084】なお、ゲート半導体領域253、埋込チャネル領域262及びボディ半導体領域254の厚さ及びキャリア濃度は、N-型埋込チャネル領域262に存在する伝導キャリアがゲート半導体領域253及びボディ半導体領域254との静電ポテンシャルにより空乏化されるように設計されている。

【0085】更に詳しくは、ゲート半導体領域253と埋込チャネル領域262の接合に生じる第1の空乏層が、ボディ半導体領域254と埋込チャネル領域262の結合に生じる第2の空乏層に接触し、これにより埋込チャネル領域262が完全に空乏化されるように設計されている。

【0086】また、P-型ゲート半導体領域253の表面には、ゲート絶縁膜272を介してゲート電極282が形成される。また、ソース領域242の上面にはソース電極302が形成される。更に、ボディコンタクト領域350の上面にはボディコンタクト電極311が形成される。そして、N+型SiC基板211の裏面にはドレイン電極292が形成されている。

【0087】次に、本実施例の電界効果トランジスタの製造方法の一例を、図8(a)～(c)、図9(d)～(f)に示す断面図を参考しながら説明する。

【0088】まず、図8(a)の工程では、N+型SiC基板211の上に例えば不純物濃度が $1E14\sim1E18/cm^3$ 、厚さが $1\sim100\mu m$ のN-型SiCエピタキシャル領域221を形成する。

【0089】図8(b)の工程では、N-型エピタキシャル領域221の一主面の所定の領域に、例えば $0.1\sim5\mu m$ の深さの溝360を形成する。

【0090】図8(c)の工程では、溝360に沿ってCVD法によりSiCをホモエピタキシャル成長させ、

P-型ゲート半導体領域253を形成する。

【0091】なお、P-型ゲート半導体領域は、例えば、ほう素等をイオン注入して形成してもよい。

【0092】図9(d)の工程では、N-型エピタキシャル領域221の表層部の所定の領域に例えば燐イオンを注入し、N+型ソース領域242を形成する。N型不純物となる不純物としては燐の他に窒素、ヒ素などを用いてもよい。

【0093】図9(e)の工程では、N-型エピタキシャル領域221の表層部所定の領域に、例えば、ほう素イオンを注入し、P+型ボディコンタクト領域350及びP-型ボディ半導体領域254を形成する。また、ゲート半導体領域253とボディ半導体領域254の間のエピタキシャル領域221の部分をN-型埋込チャネル領域262とする。

【0094】ここで、ゲート半導体領域253、埋込チャネル領域262及びボディ半導体領域254の厚さ及びキャリア濃度は、ゲート半導体領域253と埋込チャネル領域262の接合に生じる第1の空乏層が、ボディ半導体領域254と埋込チャネル領域262の接合に生じる第2の空乏層に接触し、これにより埋込チャネル領域262が完全に空乏化されるように設計される。

【0095】なお、イオン注入を行った後、例えば $1000\sim1700^\circ C$ での熱処理を行い、注入した不純物を活性化する。こうして、ゲート半導体領域253、埋込チャネル領域262、及びボディ半導体領域254からなる、チャネル領域382が完成する。

【0096】図9(f)の工程では、P-型ゲート半導体領域253表面にゲート絶縁膜272を例えば $900\sim1300^\circ C$ での熱酸化により形成する。その後、例えばポリシリコンによりゲート電極282を形成する。

【0097】この後、特に図示しないが、ソース領域242の上面にソース電極302を形成し、また、ボディコンタクト領域350の上面にボディコンタクト電極311を形成する。そして、N+基板211の裏面にはドレイン電極292を形成する。こうして、図7に示した電界効果トランジスタが完成する。

【0098】なお、本実施例においては、ソース電極302及びボディコンタクト電極311は、少なくともN+型ソース領域242およびボディ半導体領域350の表面の一部に形成されればよい。また、溝360の底面は曲面で形成したが曲面でなくてもよい。溝の断面形状はV字型溝のように底面が無い形状であってよい。

【0099】次に、本実施例に係る電界効果トランジスタの動作について説明する。ゲート電極282に電圧が印加されていない状態では、ゲート半導体領域253と埋込チャネル領域262の接合部からなるビルトイン電圧に対応して広がる第1の空乏層が、ボディ半導体領域254と埋込チャネル領域262の接合部からビルトイ

ン電圧に対応して広がる第2の空乏層に接触し、これにより埋込チャネル領域262をピンチオフ状態とすることができます。

【0100】その結果、ソースSとドレインD間の電流を遮断することができ、ノーマリーオフとなる。また、ワイドバンドギャップ半導体基板としてSiCからなるものを用いたときには、PN接合のビルトイン電圧が大きく、このようなゲート電極に電圧が印加されていない状態で電流が非導通状態となるような設計を容易に行うことができる。

【0101】次に、ゲート電極282に対して負のバイアスを供給すると、埋込チャネル領域262内に、N+型ソース領域242からN-型ドリフト領域（エピタキシャル領域）221方向へ延びる蓄積型のチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、N+型ソース領域242から埋込チャネル領域262内に形成される蓄積チャネルを経由し、N-型エピタキシャル領域221に流れる。そして、N-型エピタキシャル領域221に達すると、電子は、N+型SiC基板211へ垂直に流れる。

【0102】このように、ゲート電極282に負の電圧を印加することにより、埋込チャネル領域262内に蓄積チャネルを誘起させ、ソース電極302とドレイン電極292との間にキャリアが流れる。

【0103】その結果、ノーマリーオフの電圧駆動型で、高いチャネル移動度を有する電界効果トランジスタが得られる。特に、埋込チャネル領域262内に形成される蓄積チャネルは、ゲート絶縁膜272とゲート半導体領域253の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができる。これらの結果チャネル抵抗を飛躍的に低減でき、ドレイン・ソース間のオン抵抗を低減することができる。

【0104】また、ドレイン電極292とソース電極302との間に高電圧が印加された場合、溝360にそって形成されるP-型ゲート半導体領域253から延びる空乏層によってゲート絶縁膜272にかかる電界がシールドされるから、ゲート絶縁膜272の耐圧で決まらない、ワイドバンドギャップ半導体の高い絶縁破壊電界に対応する高耐圧を実現することができる。

【0105】【第4実施例】図10は、本発明の第4実施例に係るSiC電界効果トランジスタの単位セルの断面図である。同図に示すように、ドレイン領域となるN+型SiC基板212上に、N-型SiCエピタキシャル領域222が積層されたウエハにおいて、エピタキシャル領域222の表層部における所定領域には、N+型ソース領域243が形成されている。更に、N-型エピタキシャル領域222の一主面の所定の領域には溝361が形成されており、この溝361にそってP-型ゲート半導体領域255が形成されている。

【0106】エピタキシャル領域222の一主面の所定の領域には、溝362が形成されており、また、この溝362内は絶縁膜370が埋め込まれている。ここで、ゲート半導体領域255と絶縁膜370の間のエピタキシャル領域222の部分には、N-型埋込チャネル領域263が形成される。これらゲート半導体領域255、及び埋込チャネル領域263から構成される領域を、チャネル領域383とする。

【0107】なお、ゲート半導体領域255及び埋込チャネル領域263の厚さおよびキャリア濃度は、ゲート半導体領域255と埋込チャネル領域263の接合部からビルトイン電圧に対応して広がる空乏層により、埋込チャネル領域263が完全に空乏化されるように設計されている。

【0108】また、P-型ゲート半導体領域255の表面には、ゲート絶縁膜273を介してゲート電極283が形成される。ソース領域243上にはソース電極303が形成される。そして、N+基板212の裏面には、ドレイン電極293が形成されている。

【0109】次に、本実施例の電界効果トランジスタの製造方法の一例を、図11(a)～(c)、図12(d)～(f)に示す断面図を参照しながら説明する。

【0110】まず、図11(a)の工程では、N+型SiC基板212の上に、例えば不純物濃度が1E14～1E18/cm<sup>3</sup>、厚さが1～100μmのN-型SiCエピタキシャル領域222を形成する。

【0111】図11(b)の工程では、N-型エピタキシャル領域222の一主面の所定の領域に、例えば0.1～5μmの深さの溝361を形成する。

【0112】図11(c)の工程では、溝361に沿ってCVD法によりSiCをホモエピタキシャル成長させ、P-型ゲート半導体領域255を形成する。

【0113】なお、P-型ゲート半導体領域は、例えば、ほう素等をイオン注入して形成してもよい。

【0114】図12(d)の工程では、N-型エピタキシャル領域222の表層部の所定の領域に例えば燐イオンを注入し、N+型ソース領域243を形成する。N型不純物となる不純物としては燐の他に窒素、ヒ素などを用いてもよい。

【0115】なお、イオン注入を行った後、例えば1000～1700°Cでの熱処理を行い、注入した不純物を活性化する。

【0116】図12(e)の工程では、N-型エピタキシャル領域222の一主面の所定の領域に、例えば0.1～5μmの深さの溝362を形成する。

【0117】図12(f)の工程では、例えばLPCVD法を用いて厚みが0.1～5μmの二酸化シリコンを堆積し、溝362を埋め込む。その後、例えばCMP法を用いて二酸化シリコン膜を機械的化学研磨し、二酸化シリコン膜370を溝内部に残す。ここで、ゲート半導

体領域255と二酸化シリコン膜370の間のエピタキシャル領域222の部分には、N-型埋込チャネル領域263が形成される。

【0118】こうして、ゲート半導体領域255及び埋込チャネル領域263からなるチャネル領域383が完成する。なお、ゲート半導体領域255及び埋込チャネル領域263の厚さおよびキャリア濃度は、ゲート半導体領域255と埋込チャネル領域263が完全に空乏化されるように設計される。

【0119】その後、P-型ゲート半導体領域255表面にゲート絶縁膜273を例えれば900～1300°Cでの熱酸化により形成する。そして、例えばポリシリコンによりゲート電極283を形成する。

【0120】この後、特に図示しないが、ソース領域243の上面にソース電極303を形成する。また、N+型SiC基板212の裏面にはドレイン電極293を形成する。こうして、図10に示した電界効果トランジスタが完成する。

【0121】なお、本実施例においては、ソース電極303は、少なくともN+型ソース領域243の表面の一部に形成されればよい。また、溝361の底面は曲面で形成したが曲面でなくてもよい。溝の断面形状はV字型溝のように底面が無い形状であってもよい。

【0122】次に、この電界効果トランジスタの動作を説明する。ゲート電極283に電圧が印加されていない状態では、ゲート半導体領域255と埋込チャネル領域263の接合部からビルトイン電圧に対応して広がる空乏層により、埋込チャネル領域263をピンチオフ状態にできる。その結果、ソースSとドレインD間の電流を遮断することができノーマリーオフとなる。

【0123】また、ワイドバンドギャップ半導体基板としてSiCからなるものを用いたときには、PN接合のビルトイン電圧が大きく、このようなゲート電極に電圧が印加されていない状態で電流が非導通状態となるような設計を行なうことができる。

【0124】次に、ゲート電極283に対して負のバイアスを供給すると、埋込チャネル領域263内に、N+型ソース領域243からN-型ドリフト領域（エピタキシャル領域）222方向へ延びる蓄積型のチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、N+型ソース領域243から埋込チャネル領域263内に形成される蓄積チャネルを経由し、N-型エピタキシャル領域222に流れる。そして、N-型エピタキシャル領域222に達すると、電子は、N+型SiC基板212へ垂直に流れる。

【0125】このように、ゲート電極283に負の電圧を印加することにより、埋込チャネル領域263内に蓄積チャネルを誘起させ、ソース電極303とドレイン電極293との間にキャリアが流れる。

【0126】その結果、ノーマリーオフの電圧駆動型

で、高いチャネル移動度を有する電界効果トランジスタが得られる。特に、埋込チャネル領域263内に形成される蓄積チャネルは、ゲート絶縁膜273とゲート半導体領域255の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができる。これらの結果チャネル抵抗を飛躍的に低減でき、ドレイン・ソース間のオン抵抗を低減することができる。

【0127】また、ドレイン電極とソース電極との間に高電圧が印加された場合、溝361に沿って形成されるP-型ゲート半導体領域255から延びる空乏層によってゲート絶縁膜273にかかる電界がシールドされるから、ゲート絶縁膜273の耐圧で決まらない、ワイドバンドギャップ半導体の高い絶縁破壊電界に対応する高耐圧を実現することができる。

【0128】【第5実施例】図13は、本発明の第5実施例に係るSiC電界効果トランジスタの単位セルの断面図である。同図に示すように、ドレイン領域となるN+型SiC基板213上に、N-型SiCエピタキシャル領域223が積層されたウエハにおいて、エピタキシャル領域223の表層部における所定領域には、所定深度を有するP-型ボディ半導体領域257が形成されている。

【0129】更に、エピタキシャル領域223の表層部における所定領域には、N+型ソース電極244及びP+ボディコンタクト電極351が形成されている。ここで、N+ソース領域244とエピタキシャル領域223の間の、ボディ半導体領域257の部分には、P-型ゲート半導体領域256及びN-型埋込チャネル領域264がそれぞれ形成されている。

【0130】そして、これらゲート半導体領域256、埋込チャネル領域264及びボディ半導体領域257から構成される領域を、チャネル領域384とする。なお、ゲート半導体領域256、埋込チャネル領域264及びボディ半導体領域257の厚さ及びキャリア濃度は、N-型埋込チャネル領域264に存在する伝導キャリアがゲート半導体領域256及びボディ半導体領域257との静電ポテンシャルにより空乏化されるように設計されている。

【0131】さらに詳しくは、ゲート半導体領域256と埋込チャネル領域264の接合に生じる第1の空乏層が、ボディ半導体領域257と埋込チャネル領域264の接合に生じる第2の空乏層に接触し、これにより埋込チャネル領域264が完全に空乏化されるように設計されている。

【0132】また、P-型ゲート半導体領域256の表面には、ゲート絶縁膜274を介してゲート電極284が形成される。更に、ソース領域244の上面にはソース電極304が形成される。ボディコンタクト領域351の上面にはボディコンタクト電極312が形成され

る。そしてN+ 基板213の裏面にはドレイン電極294が形成されている。

【0133】次に、この電界効果トランジスタの動作について説明する。ゲート電極284に電圧が印加されていない状態では、ゲート半導体領域256と埋込チャネル領域264の接合部からビルトイン電圧に対応して広がる第1の空乏層が、ボディ半導体領域257と埋込チャネル領域264の接合部からビルトイン電圧に対応して広がる第2の空乏層に接触し、これにより埋込チャネル領域264をピンチオフ状態とすることができます。

【0134】その結果、ソースSとドレインD間の電流を遮断することができ、ノーマリーオフとなる。また、ワイドバンドギャップ半導体基板としてSiCからなるものを用いたときには、PN接合のビルトイン電圧が大きく、このようなゲート電極に電圧が印加されていない状態で電流が非導通状態となるような設計を容易に行うことができる。

【0135】次に、ゲート電極284に対して負のバイアスを供給すると、埋込チャネル領域264内に蓄積型のチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、N+型ソース領域244から埋込チャネル領域264内の蓄積チャネルを経由し、N-型エピタキシャル領域223に流れる。そして、N-型エピタキシャル領域223に達すると、電子は、N+型SiC基板213へ垂直に流れる。

【0136】このように、ゲート電極284に負の電圧を印加することにより、埋込チャネル領域264内に蓄積チャネルを誘起させ、ソース電極304とドレイン電極294との間にキャリアが流れる。

【0137】その結果、ノーマリーオフの電圧駆動型で、高いチャネル移動度を有する電界効果トランジスタが得られる。特に、埋込チャネル領域264内に形成される蓄積チャネルは、ゲート絶縁膜274とゲート半導体領域256の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができる。これらの結果チャネル抵抗を飛躍的に低減でき、ドレイン・ソース間のオン抵抗を低減することができる。

【0138】また、ドレイン電極とソース電極との間に高電圧が印加された場合、P-型ゲート半導体領域256とエピタキシャル領域223の接合に広がる空乏層、及びP-型ボディ半導体領域257とエピタキシャル領域223の接合に広がる空乏層によって、ゲート絶縁膜274にかかる電界がシールドされるから、ゲート絶縁膜274の耐圧で決まらない、ワイドバンドギャップ半導体の高い絶縁破壊電界に対応する高耐圧を実現することができる。

【0139】[第6実施例] 図14は、本発明の第6実施例に係るSiC(炭化珪素；ワイドバンドギャップ半導体)電界効果トランジスタの単位セルの断面図である。

る。同図に示すように、この電界効果トランジスタは、基板コンタクトをとるためのP+型SiC基板10上に、P-型エピタキシャル領域20が積層されたウエハ(半導体基板)において、該P-型エピタキシャル領域20の所定の領域(図中右側)に、P+型ドレイン領域(第1導電型のドレイン領域部)30とN+型ドレイン領域(第2導電型のドレイン領域部)40が形成されている。

【0140】また、同様に、P-型エピタキシャル領域20の所定の領域(図中左側)に、P+型ソース領域(第1導電型のソース領域部)100とN+型ソース領域(第2導電型のソース領域部)110が形成されている。そして、P+型ドレイン領域30とP+型ソース領域100の間に挟まれるP-型エピタキシャル領域20の部分には、P-型表面チャネル領域(第1導電型の表面チャネル領域部)60が配置される。

【0141】更に、N+型ドレイン領域40とN+型ソース領域110の間に部分には、N-型埋込チャネル領域(第2導電型の埋込チャネル領域部)70が形成される。チャネル領域90は、これら表面チャネル領域60と埋込チャネル領域70から構成される。また、N-型埋込チャネル領域70の下面の所定深さを有するエピタキシャル領域20の部分を、P-型ボディ半導体領域80とする。

【0142】ここで、表面チャネル領域60、及び埋込チャネル領域70の厚さ及びキャリア濃度は、表面チャネル領域60と埋込チャネル領域70の接合に生じる第1の空乏層により表面チャネル領域60が完全に空乏化され、且つこの第1の空乏層が、ボディ半導体領域80と埋込チャネル領域70の接合に生じる第2の空乏層に接触し、これにより埋込チャネル領域70も完全に空乏化されるように設計されている。

【0143】なお、N-型領域50は、P+型ドレイン領域30からP-型エピタキシャル領域20へと電流が流れるのを防ぐために形成したものである。

【0144】また、P-型表面エピタキシャル領域60の表面には、ゲート絶縁膜120を介してゲート電極130が形成される。P+型ドレイン領域30上には、ドレイン電極140が形成される。P+型ソース領域100上にはソース電極150が形成される。また、N+型ソース領域110は、図示されない部分から、ソース電極150に接地されるようコンタクトを取っている。そして、P+基板10の裏面には基板コンタクト電極160が形成され、ソース電極150に接続されている。

【0145】次に、本実施例の電界効果トランジスタの製造方法の一例を、図15(a)～(c)、及び図16(d)～(f)の断面図を用いて説明する。

【0146】まず、図15(a)の工程では、P+型SiC基板10の上に、例えば不純物濃度が1E14～1E18/cm<sup>3</sup>、厚さが1～50μmのP-型SiCエ

ピタキシャル領域20を形成する。

【0147】図15(b)の工程(第1aのステップ)では、マスク材170を用いて、P-型SiCエピタキシャル領域20の所定の領域に、例えば100~1000°Cの高温で燐イオンを100~3MeVの加速電圧で多段注入し、N+型ドレイン領域40、及びN+型ソース領域110を形成する。

【0148】総ドーズ量は、例えば1E13~1E16/cm<sup>2</sup>である。N型不純物としては燐以外に、窒素、ヒ素などを用いてもよい。その後、燐イオン注入に引き続きマスク材170を用いて、例えば100~1000°Cの高温でアルミニウムイオンを100~3MeVの加速電圧で多段注入し、P+型ドレイン領域30及びP+型ソース領域100を形成する。総ドーズ量は例えば1E13~1E16/cm<sup>2</sup>である。P型不純物としてはアルミニウム以外に、ほう素、ガリウムなどを用いてもよい。

【0149】なお、本例ではN+型ドレイン領域40、及びN+型ソース領域110を形成するための燐イオン注入を先に行つたが、P+型ドレイン領域30及びP+型ソース領域100を形成するためのアルミニウムイオン注入を先に行つた後に、N+型ドレイン領域40、及びN+型ソース領域110を形成するための燐イオン注入を行つてもよい。

【0150】図15(c)の工程(第2aのステップ)では、マスク材171を用いて、例えば100~1000°Cの高温で窒素イオンを注入し、N-型埋込チャネル領域70を形成する。加速電圧は、例えば30~3MeVで多段注入を行い、総ドーズ量は例えば1E11~1E15/cm<sup>2</sup>である。この時、注入された窒素原子は、P-型表面チャネル領域60よりも深いところに分布する条件とする。

【0151】また、N-型の埋込チャネル領域70の下面の所定深さを有するエピタキシャル領域20の部分は、P-型ボディ半導体領域80とする。そして、表面チャネル領域60、及び埋込チャネル領域70の厚さ及びキャリア濃度は、表面チャネル領域60と埋込チャネル領域70の接合に生じる第1の空乏層により、表面チャネル領域60が完全に空乏化され、かつこの第1の空乏層が、ボディ半導体領域80と埋込チャネル領域70の接合に生じる第2の空乏層に接触し、これにより埋込チャネル領域70も完全に空乏化されるように設計される。

【0152】チャネル領域90は、これらP-型表面チャネル領域60とN-型埋込チャネル領域70とから構成される。なお、N-型埋込チャネル領域70はイオン注入により形成したが、CVD法によりエピタキシャル成長させて形成してもよい。

【0153】図16(d)の工程(第5aのステップ)では、マスク材172を用いて、例えば100~1000

0°Cの高温で窒素イオンを注入し、N-型領域50を形成する。加速電圧は例えば30~3MeVで多段注入を行い、総ドーズ量は例えば1E11~1E15/cm<sup>2</sup>である。イオン注入を行った後は、例えば100~1800°Cで熱処理を行い、注入した不純物を活性化する。

【0154】図16(e)の工程(第3aのステップ)では、P-型表面チャネル領域60の上面を含むエピタキシャル領域20の表面にゲート絶縁膜120を例えば900~1300°Cでの熱酸化により形成する。その後、例えばポリシリコンによりゲート電極130を形成する。

【0155】図16(f)の工程(第4aのステップ)では、基板裏面に基板コンタクト電極160として金属膜を蒸着する。また、P+型ドレイン領域30上にドレイン電極140を、P+型ソース領域100上にソース電極150を形成する。そして、例えば600~1400°C程度で熱処理してオーミック電極とする。また、N+型ソース領域110は、図示されない部分から、ソース電極150に接地されるようコンタクト電極を形成する。このようにして図14に示した電界効果トランジスタが完成する。

【0156】なお、本実施例においては、P+型のSiC基板10を用いて基板コンタクトを裏面からとする構造としているが、N+型のSiC基板の上にP-型のエピタキシャル層を成長させ、基板コンタクトをこのP-型エピタキシャル層の表面側に形成してもよい。また、P-型のSiC基板を用いてもよい。

【0157】次に、第6実施例に係る電界効果トランジスタの動作について説明する。ゲート電極130に電圧が印加されていない状態では、表面チャネル領域60と埋込チャネル領域70の接合部からビルトイン電圧に対応して広がる第1の空乏層により、P-型表面チャネル領域60をピンチオフ状態とすることができる。

【0158】また、この第1の空乏層が、ボディ半導体領域80と埋込チャネル領域70の接合部からビルトイン電圧に対応して広がる第2の空乏層に接触し、これにより埋込チャネル領域70をピンチオフ状態にできる。

【0159】その結果、ソースSとドレインD間の電流を遮断することができ、ノーマリオフとなる。また、ワイヤーバンドギャップ半導体基板としてSiCからなるものを用いたときには、PN接合のビルトイン電圧が大きく、このようなゲート電極に電圧が印加されていない状態で電流が非道通状態となるような設計を容易に行うことができる。

【0160】更に、第1の空乏層と第2の空乏層により挟み込むかたちで埋込チャネル領域70をピンチオフ状態にできるため、このような設計を容易に行うことができる。

【0161】次に、ゲート電極130に対して、負のバイアスを与えると、表面チャネル領域60の表層にはP

$P^+$ 型ドレイン領域30から $P^+$ 型ソース領域100へと延びるP型の蓄積チャネルが形成される。これと同時に、埋込チャネル領域70内には $N^+$ 型ソース領域40から $N^+$ 型ソース領域110へと延びるN型蓄積チャネル領域が形成され、トランジスタはオン状態にスイッチングされる。

【0162】このように、ゲート電極130に負の電圧を印加することにより、表面チャネル領域60の表層にはP型蓄積チャネルを、埋込チャネル領域70内にはN型の蓄積チャネルを誘起させ、ソース電極150とドレイン電極140との間にキャリアが流れる。

【0163】これらの結果から、ノーマリオフの電圧駆動型で、高いチャネル移動度を有する電界効果トランジスタが得られる。特に、本発明によりP-型表面チャネル領域60表層にはP型の蓄積チャネルが、N-型埋込チャネル領域70内にはN型の蓄積チャネルが形成されるWチャネル構造が可能となる。

【0164】また、埋込チャネル領域70内に形成される蓄積チャネルは、ゲート絶縁膜120と表面チャネル領域60の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができます。その結果、チャネル抵抗を飛躍的に低減でき、ドレン・ソース間のオン抵抗を低減することができる。

【0165】[第7実施例] 図17は、本発明の第7実施例に係るSiC電界効果トランジスタの単位セルの断面図である。図示のように、シリコン基板180の上には二酸化シリコン膜190が形成されている。この二酸化シリコン膜190の上には、ソース、ドレン、チャネルを形成するためのSiC(ワイドバンドギャップ半導体)単結晶層が形成されている。このSiC単結晶層内の所定の領域には $P^+$ 型ドレイン領域31が形成されている。

【0166】そして、この $P^+$ 型ドレイン領域(第1導電型のドレイン領域部)31の下には $N^+$ 型ドレイン領域(第2導電型のドレイン領域部)41が二酸化シリコン膜190に達するまで形成されている。同様に、SiC単結晶層内の所定の領域に $P^+$ 型ソース領域(第1導電型のソース領域部)101が形成されており、このソース領域101の下には $N^+$ 型ソース領域(第2導電型のソース領域部)111が、二酸化シリコン膜190に達するまで形成されている。

【0167】そして、 $P^+$ 型ドレイン領域31と $P^+$ 型ソース領域101との間のSiC単結晶層の部分には、P-型表面チャネル領域(第1導電型の表面チャネル領域部)61が配置される。また、 $N^+$ 型ドレイン領域41と $N^+$ 型ソース領域111との間のSiC単結晶層の部分には、N-型埋込チャネル領域(第2導電型の埋込チャネル領域部)71が形成される。チャネル領域91は、これら表面チャネル領域61、及び埋込チャネル領域71から構成される。

【0168】ここで、表面チャネル領域61、及び埋込チャネル領域71の厚さ及びキャリア濃度は、表面チャネル領域61と埋込チャネル領域71の接合部からビルトイン電圧に対応して広がる空乏層により、表面チャネル領域61、及び埋込チャネル領域71が完全に空乏化されるよう設計されている。

【0169】また、P-型表面チャネル領域61の表面には、ゲート絶縁膜121を介してゲート電極131が形成される。 $P^+$ 型ドレイン領域31上にはドレイン電極141が形成される。そして、 $P^+$ 型ソース領域101上にはソース電極151が形成される。また、 $N^+$ 型ソース領域111は、図示されない部分から、ソース電極151に接地されるようコンタクトを取っている。

【0170】次に、本実施例の電界効果トランジスタの製造方法の一例を、図18(a)～(c)、図19(d)～(f)に示す各断面図を用いて説明する。

【0171】まず、図18の(a)の工程(第1bのステップ)では、表面に厚みが例えば0.01～3μmの二酸化シリコン膜190が形成されたシリコン基板180を準備する。次いで、二酸化シリコン膜190に、厚みが例えば0.1～5μm、P型不純物を均一に例えば1E14～1E18/cm<sup>3</sup>含有したP-型SiC半導体基板1を張り合わせる。

【0172】図18(b)の工程(第2bのステップ)では、P-型SiC半導体基板1を、例えば酸化温度900～1300°Cで熱酸化し、SiC半導体基板1の露出した表面から例えば厚さ0.01～4μm程度の厚さの二酸化シリコン膜2を形成する。これにより、二酸化シリコン膜2と二酸化シリコン膜190との間に、厚みが例えば0.1～2μm程度のP-型SiC半導体層3が得られる。その後、二酸化シリコン膜2をフッ化アンモニウム溶液により除去する。

【0173】図18(c)の工程(第3bのステップ)では、マスク材173を用いて、P-型SiC半導体層3の所定の領域に、例えば100～1000°Cの高温で燐イオンを100～3MeVの加速電圧で多段注入し、二酸化シリコン膜190に達するまで、 $N^+$ 型ドレイン領域41、及び $N^+$ 型ソース領域111を形成する。

【0174】総ドーズ量は、例えば、1E13～1E16/cm<sup>2</sup>である。 $N^+$ 型不純物としては燐以外に、窒素、ヒ素などを用いてもよい。その後、燐イオン注入に引き続きマスク材173を用いて、例えば100～1000°Cの高温でアルミニウムイオンを100～3MeVの加速電圧で多段注入し、 $P^+$ 型ドレイン領域31及び $P^+$ 型ソース領域101を形成する。総ドーズ量は例えば1E13～1E16/cm<sup>2</sup>である。P型不純物としてはアルミニウム以外に、ほう素、ガリウムなどを用いてもよい。

【0175】なお、本実施例では $N^+$ 型ドレイン領域41及び $N^+$ 型ソース領域111を形成するための燐イオ

ン注入を先に行ったが、P+型ソース領域31及びP+型ソース領域101を形成するためのアルミニウムイオン注入を先に行った後に、N+型ドレイン領域41及びN+型ソース領域111を形成するための隣イオン注入を行ってもよい。

【0176】図19(d)の工程(第4bのステップ)では、マスク材174を用いて、例えば100~1000°Cの高温で窒素イオンを注入し、N-型埋込チャネル領域71を形成する。加速電圧は、例えば30~3MeVで多段注入を行い、総ドーズ量は、例えば1E11~1E15/cm<sup>2</sup>である。この時、注入された窒素原子は、P-型表面チャネル領域61よりも深いところに分布する条件とする。

【0177】そして、表面チャネル領域61及び埋込チャネル領域71の厚さ及びキャリア濃度は、表面チャネル領域61と埋込チャネル領域71の接合部からビルトイン電圧に対応して広がる空乏層により、表面チャネル領域61及び埋込チャネル領域71が完全に空乏化されるように設計される。

【0178】イオン注入を行った後、例えば100~1800°Cでの熱処理を行い、注入した不純物を活性化する。こうして、表面チャネル領域61及び埋込チャネル領域71からなる、チャネル領域91が完成する。

【0179】図19(e)の工程(第5bのステップ)では、P-型表面チャネル領域61の上面を含む半導体層表面にゲート絶縁膜121を例えば900~1300°Cでの熱酸化により形成する。その後例えばポリシリコンによりゲート電極131を形成する。

【0180】図19(f)の工程(第6bのステップ)では、P+型ドレイン領域31上にドレイン電極141を形成し、更に、P+型ソース領域101上にソース電極151を形成する。そして、例えば600~1400°C程度で熱処理してオーミック電極とする。また、N+型ソース領域111は、図示されない部分から、ソース電極151に接地されるようコンタクト電極を形成する。このようにして、図17に示す電界効果トランジスタが完成する。

【0181】次に、第7実施例に係る電界効果トランジスタの動作を説明する。ゲート電極131に電圧が印加されていない状態では、P-型表面にチャネル領域61とN-型埋込チャネル領域71の接合部からビルトイン電圧に対応して広がる空乏層により、表面チャネル領域61及び埋込チャネル領域71をピンチオフ状態にできる。

【0182】その結果、ソースSとドレインD間の電流を遮断することができ、ノーマリオフとなる。また、ワイドバンドギャップ半導体基板としてSiCからなるものを用いたときには、PN接合のビルトイン電圧が大きく、このようなゲート電極に電圧が印加されていない状態で電流が非導通状態となるような設計を容易に行うこ

とができる。

【0183】次に、ゲート電極131に対して負のバイアスを与えると、表面チャネル領域61の表層にはP+型ドレイン領域31からP+型ソース領域101へと延びるP型の蓄積チャネルが形成される。これと同時に、埋込チャネル領域71内にはN+型ソース領域41からN+型ソース領域111へと延びるN型蓄積チャネル領域が形成され、トランジスタはオン状態にスイッチングされる。

10 【0184】このように、ゲート電極131に負の電圧を印加することにより、表面チャネル領域61の表層にはP型蓄積チャネルを誘起させ、且つ、埋込チャネル領域71内にはN型蓄積チャネルを誘起させ、ソース電極151とドレイン電極141との間にキャリアが流れれる。

【0185】その結果、ノーマリオフの電圧駆動型で、高いチャネル移動度を有する電界効果トランジスタが得られる。特に、本発明によりP-型表面チャネル領域61の表層にはP型の蓄積チャネルが形成され、N-型埋込チャネル領域71内にはN型の蓄積チャネルが形成されるWチャネル構造が可能となる。

20 【0186】また、埋込チャネル領域71内に形成される蓄積チャネルは、ゲート絶縁膜121と表面チャネル領域61の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができる。そのため、チャネル抵抗を飛躍的に低減でき、ドレイン・ソース間のオン抵抗を低減することができる。

【0187】【第8実施例】図20は、本発明の第8実施例に係るSiC電界効果トランジスタの単位セルの断面図である。図示のように、ドレイン領域となるP+型SiC基板11上に、P-型SiCエピタキシャル領域21が積層されたウェハ(半導体基板)において、エピタキシャル領域21の表層部における所定領域には、P+型ソース領域(第1導電型のソース領域部)102、及びN+型ソース領域(第2導電型のソース領域部)112が形成されている。

【0188】更に、P-型エピタキシャル層21の一正面の所定の領域には溝(溝部；第1の溝部)5が形成されており、この溝5に沿ってP-型表面チャネル領域(第1導電型の表面チャネル領域部)62が形成される。また、エピタキシャル領域21の一正面の所定の領域には溝(第2の溝部)6が形成されており、この溝6内には絶縁膜191が埋め込まれている。

【0189】ここで、表面チャネル領域62と絶縁膜191の間のエピタキシャル領域21の部分には、N-型埋込チャネル領域(第2導電型の埋込チャネル領域部)72が形成される。これら表面チャネル領域62および埋込チャネル領域72から構成される領域を、チャネル領域92とする。

50 【0190】なお、表面チャネル領域62、及び埋込チ

チャネル領域72の厚さおよびキャリア濃度は、表面チャネル領域62と埋込チャネル領域72の接合部からビルトイン電圧に対応して広がる空乏層により、表面チャネル領域62及び埋込チャネル領域72が完全に空乏化されるように設計されている。

【0191】また、溝5には、ゲート絶縁膜122を介してゲート電極132が埋め込まれる。P+型ソース領域102及びN+型ソース領域112上には、ソース電極152が形成される。そして、P+基板11の裏面にはドレイン電極142が形成されている。

【0192】次に、第8実施例の電界効果トランジスタの製造方法の一例を、図21(a)～(c)、図22(d)～(f)の断面図を用いて説明する。

【0193】まず、図21の(a)の工程では、P+型SiC基板11の上に、例えば、不純物濃度が $1E14 \sim 1E18/cm^3$ 、厚さが $1 \sim 100\mu m$ のP-型SiCエピタキシャル領域21を形成する。

【0194】図21(b)の工程では、マスク材175を用いて、P-型エピタキシャル領域21の表層部の所定領域に、例えば $100 \sim 1000^{\circ}C$ の高温でアルミニウムイオンを $100 \sim 3MeV$ の加速電圧で多段注入し、P+型ソース領域102を形成する。総ドーズ量は、例えば $1E13 \sim 1E16/cm^2$ である。P型不純物としてはアルミニウム以外に、ほう素、ガリウムなどを用いてもよい。

【0195】図21(c)の工程では、マスク材176を用いて、P-型エピタキシャル領域21の所定の領域に、例えば $100 \sim 1000^{\circ}C$ の高温で窒素イオンを $100 \sim 3MeV$ の加速電圧で多段注入し、N-型埋込チャネル領域72を形成する。総ドーズ量は、例えば、 $1E11 \sim 1E15/cm^2$ である。その後、窒素イオン注入に引き続きマスク材176を用いて、例えば $100 \sim 1000^{\circ}C$ の高温で燐イオンを $100 \sim 3MeV$ の加速電圧で多段注入し、N+型ソース領域112を形成する。総ドーズ量は、例えば $1E13 \sim 1E16/cm^2$ である。

【0196】なお、本実施例では、N-型埋込チャネル領域72を形成するための窒素イオン注入を行った後、N+型ソース領域112を形成するための燐イオン注入を行った後に、N-型埋込チャネル領域72を形成するための窒素イオン注入を行ってもよい。なお、イオン注入を行った後、例えば $1000 \sim 1800^{\circ}C$ での熱処理を行い、注入した不純物を活性化する。

【0197】図22(d)の工程では、マスク材177を用いて、P+型ソース領域102の一主面の所定の領域に、深さ方向にP+型ソース領域102を貫通して、例えば $0.1 \sim 5\mu m$ の深さの溝5を形成する。ここで、溝5とN-型埋込チャネル領域72との間のP-型エピタキシャル領域21の部分を、P-型表面チャネル領域62とする。

【0198】なお、表面チャネル領域62及び埋込チャネル領域72の厚さ及びキャリア濃度は、表面チャネル領域62と埋込チャネル領域72の接合部からビルトイン電圧に対応して広がる空乏層により、表面チャネル領域62及び埋込チャネル領域72が完全に空乏化されるように設計される。

【0199】チャネル領域92は、こらP-型表面チャネル領域62とN-型埋込チャネル領域72とから構成される。

10 【0200】図22(e)の工程では、マスク材178を用いて、P-型エピタキシャル領域21の一主面の所定の領域に、例えば $0.1 \sim 5\mu m$ の溝6を形成する。

【0201】図22(f)の工程では、例えばLPCVD法を用いて厚みが $0.1 \sim 5\mu m$ の二酸化シリコン膜を堆積し、溝6を埋め込む。その後、例えばCMP法を用いて二酸化シリコン膜を機械的化学研磨し、二酸化シリコン膜191を溝6内部に残す。

20 【0202】次に、溝5の表面にゲート絶縁膜122を例えば $900 \sim 1300^{\circ}C$ での熱酸化により形成する。その後、例えばポリシリコンによりゲート電極132を形成する。P+型ソース領域102及びN+型ソース領域112上には、ソース電極152を形成する。また、P+基板11の裏面にはドレイン電極142を形成する。そして、例えば $600 \sim 1400^{\circ}C$ 程度で熱処理してオーミック電極とする。

【0203】このようにして、図20に示す電界効果トランジスタが完成する。なお、溝5の底面は曲面でもよい。溝の断面形状はV字型溝のように底面が無い形状であってもよい。溝6についても同様である。

【0204】次に、第8実施例に係る電界効果トランジスタの動作について説明する。ゲート電極132に電圧が印加されていない状態では、表面にチャネル領域62と埋込チャネル領域72の接合部からビルトイン電圧に対応して広がる空乏層により、表面チャネル領域62及び埋込チャネル領域72をピンチオフ状態にできる。

【0205】その結果、ソースSとドレインD間の電流を遮断することができノーマリオフとなる。また、ワイドバンドギャップ半導体基板としてSiCからなるものを用いたときには、PN接合のビルトイン電圧が大きく、このようなゲート電極に電圧が印加されていない状態で電流が非導通状態となるような設計を容易に行うことができる。

【0206】次に、ゲート電極132に対して負のバイアスを与えると、表面チャネル領域62の表層にはP+型ソース領域102からP-型ドリフト領域(エピタキシャル領域)21方向へ延びるP型の蓄積チャネルが形成される。これと同時に、埋込チャネル領域72内にはN+型ソース領域112からP-型ドリフト領域(エピタキシャル領域)21方向へ延びるN型の蓄積チャネル

が形成され、トランジスタはオン状態にスイッチングされる。

【0207】このように、ゲート電極132に負の電圧を印加することにより、表面チャネル領域62の表層にはP型蓄積チャネルを誘起させ、且つ、埋込チャネル領域72内にはN型蓄積チャネルを誘起させ、ソース電極152とドレイン電極142との間にキャリアが流れる。

【0208】これらの結果、高ドレイン耐圧を有する電界効果トランジスタにおいても、ノーマリオフの電圧駆動型で、高いチャネル移動度を有する電界効果トランジスタが得られる。特に、本発明によりP-型表面チャネル領域62の表層にはP型の蓄積チャネルが、N-型埋込チャネル領域72内にはN型の蓄積チャネルが形成されるWチャネル構造が可能となる。

【0209】また、埋込チャネル領域72内に形成される蓄積チャネルは、ゲート絶縁膜122と表面チャネル領域62の界面に存在する不完全な結晶構造の影響を受けないため、チャネル移動度を大きくすることができる。そのため、チャネル抵抗を飛躍的に低減でき、ドレン・ソース間のオン抵抗を低減することができる。

#### 【図面の簡単な説明】

【図1】本発明の、第1実施例に係る電界効果トランジスタの単位セルの断面図である。

【図2】(a)、(b)は、本発明の第1実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図3】(c)、(d)は、本発明の第1実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図4】本発明の、第2実施例に係る電界効果トランジスタの単位セルの断面図である。

【図5】(a)～(c)は、本発明の第2実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図6】(d)、(e)は、本発明の第2実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図7】本発明の、第3実施例に係る電界効果トランジスタの単位セルの断面図である。

【図8】(a)～(c)は、本発明の第3実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図9】(d)～(f)は、本発明の第3実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図10】本発明の、第4実施例に係る電界効果トランジスタの単位セルの断面図である。

【図11】(a)～(c)は、本発明の第4実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図12】(d)～(f)は、本発明の第4実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図13】本発明の、第5実施例に係る電界効果トランジスタの単位セルの断面図である。

【図14】本発明の、第6実施例に係る電界効果トランジスタの単位セルの断面図である。

【図15】(a)～(c)は、本発明の第6実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図16】(d)～(f)は、本発明の第6実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図17】本発明の、第7実施例に係る電界効果トランジスタの単位セルの断面図である。

10

【図18】(a)～(c)は、本発明の第7実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図19】(d)～(f)は、本発明の第7実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図20】本発明の、第8実施例に係る電界効果トランジスタの単位セルの断面図である。

20

【図21】(a)～(c)は、本発明の第8実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図22】(d)～(f)は、本発明の第8実施例に係る電界効果トランジスタの製造工程を示す説明図である。

【図23】従来におけるSiC電界効果トランジスタの断面図である。

#### 【符号の説明】

1 P-型SiC半導体基板

2, 190, 191 SiO<sub>2</sub>膜

30

3 P-型SiC半導体層

5, 6 溝

10, 11 P+型SiC基板

20, 21 P-型SiCエピタキシャル領域

30, 31 P+型ドレイン領域

40, 41 N+型ドレイン領域

50 N-型領域

60, 61, 62 P-型表面チャネル領域

70, 71, 72 N-型埋込チャネル領域

80 P-型ボディ半導体領域

40

90, 91, 92 チャネル領域

100, 101, 102 P+型ソース領域

110, 111, 112 N+型ソース領域

120, 121, 122 ゲート絶縁膜

130, 131, 132 ゲート電極

140, 141, 142 ドレイン電極

150, 151, 152 ソース電極

160 基板コンタクト電極

170, 171, 172, 173, 174 マスク材

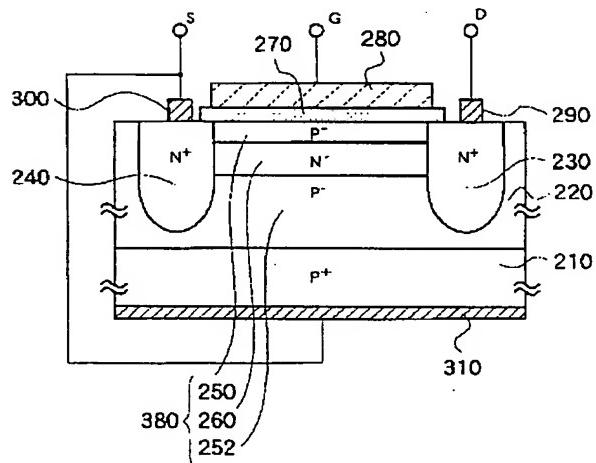
175, 176, 177, 178 マスク材

50

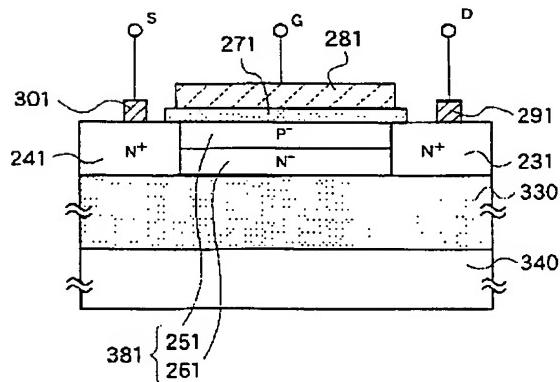
180 Si基板

- 210 P+ 型SiC基板  
211, 212, 213 N+ 型SiC基板  
221, 222, 223 N- 型SiCエピタキシャル  
領域  
230, 231 N+ 型ドレイン領域  
240, 241, 242, 243, 244 N+ 型ソ一  
ス領域  
250, 251, 253, 255, 256 P- 型ゲー  
ト半導体領域  
252, 254, 257 P- 型ボディ半導体領域  
260, 261, 262, 263, 264 N- 型埋込  
チャネル領域  
270, 271, 272, 273, 274 ゲート絶縁  
膜  
280, 281, 282, 283, 284 ゲート電極

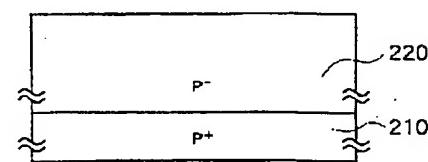
【 1 ]



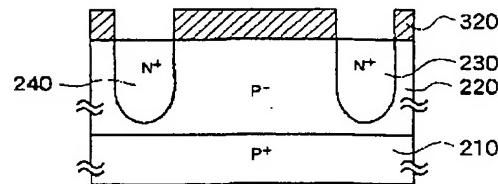
[ 四 4 ]



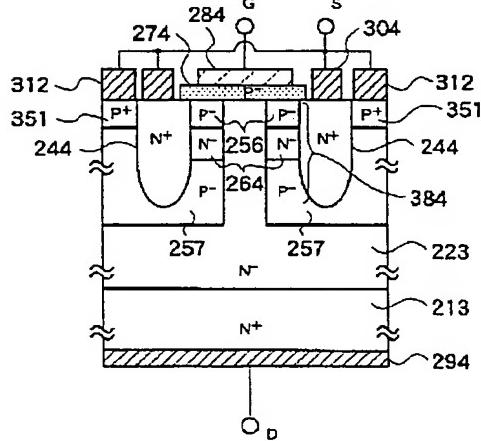
【四二】



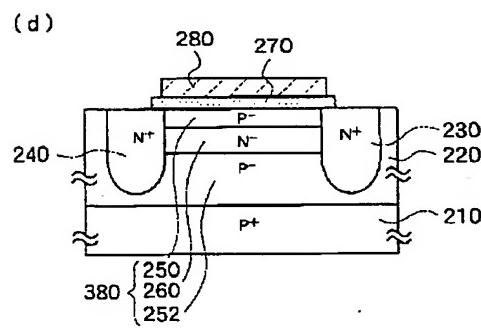
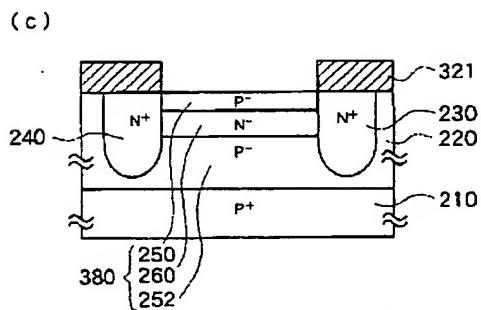
( b )



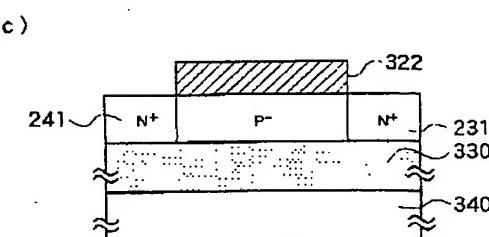
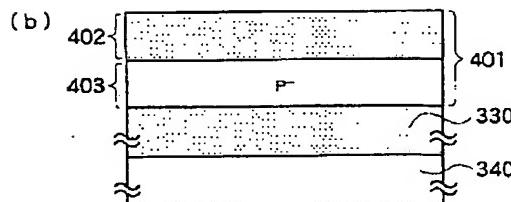
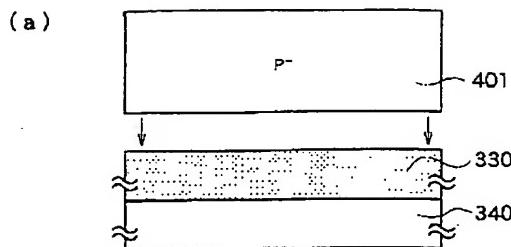
【四 13】



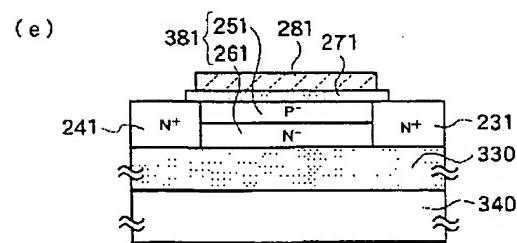
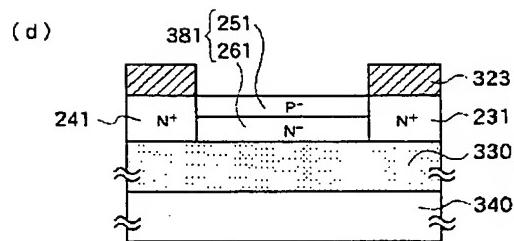
【図3】



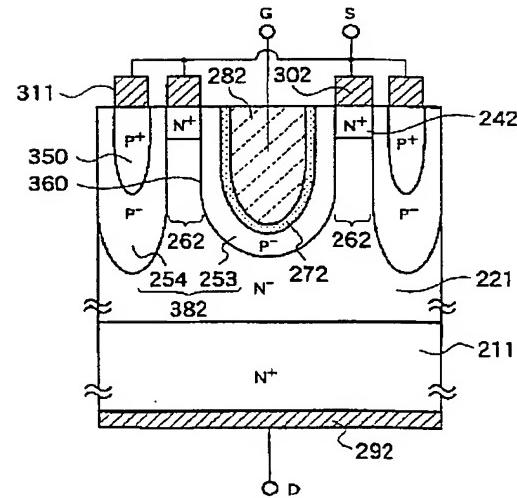
【図5】



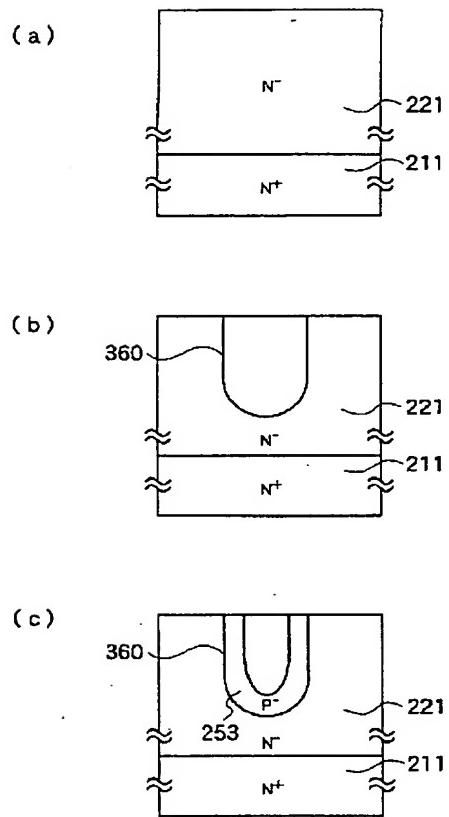
【図6】



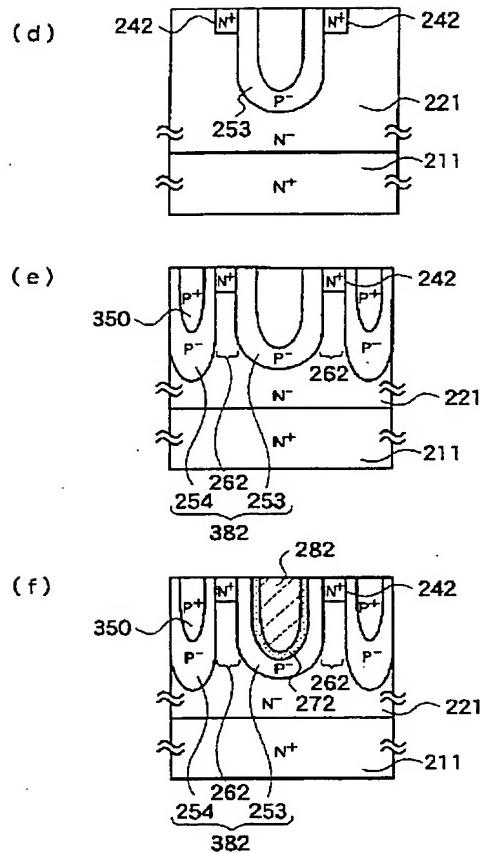
【図7】



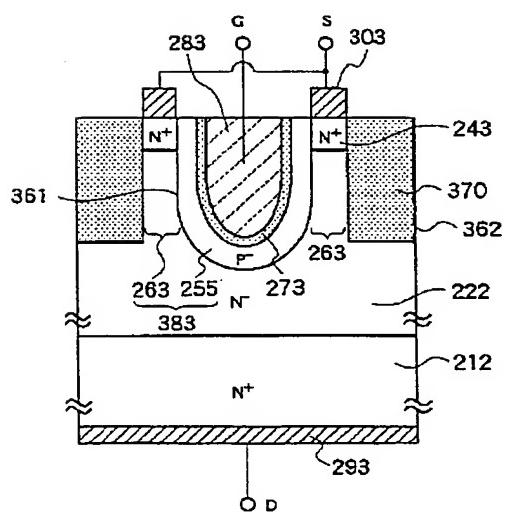
【図8】



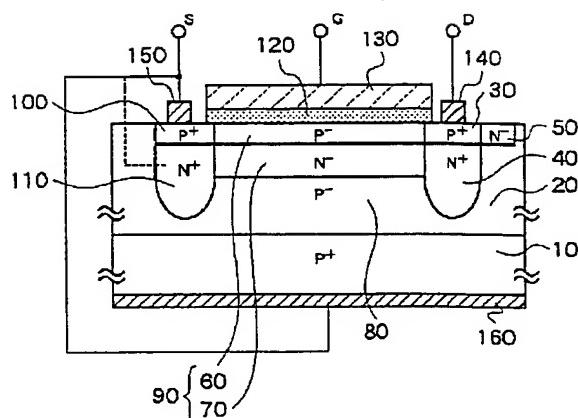
【図9】



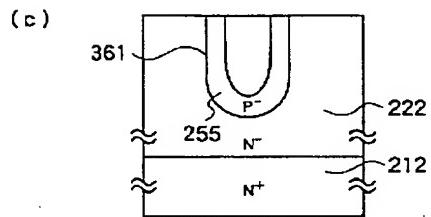
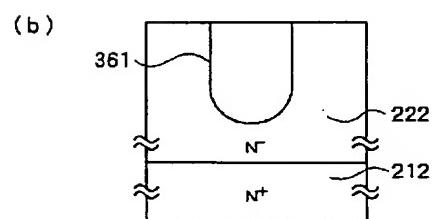
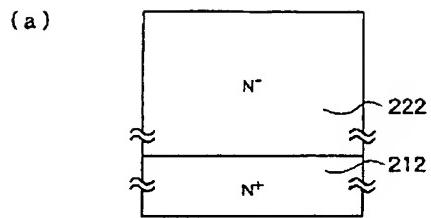
【図10】



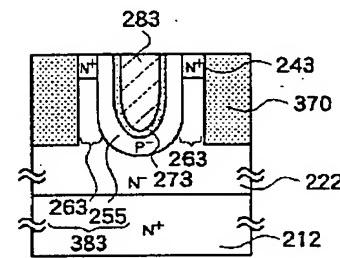
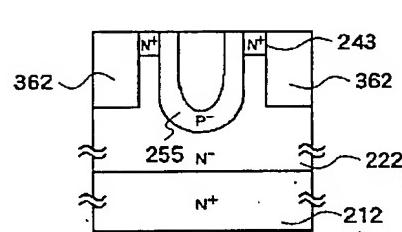
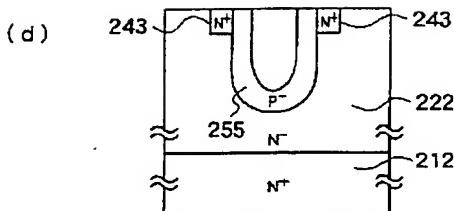
【図14】



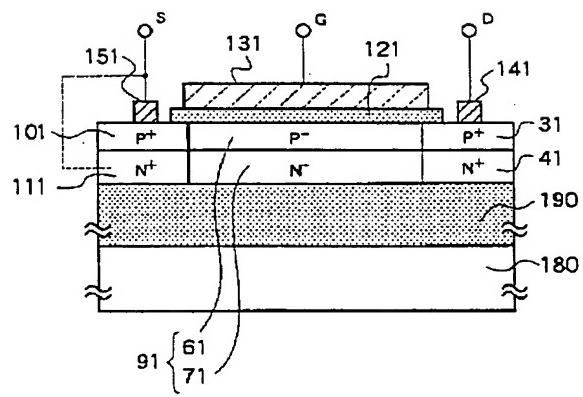
【図11】



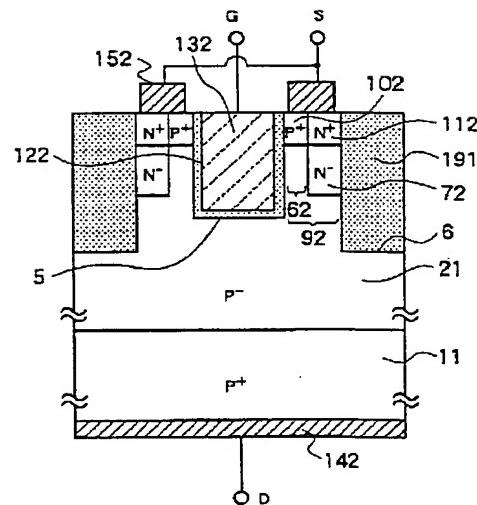
【図12】



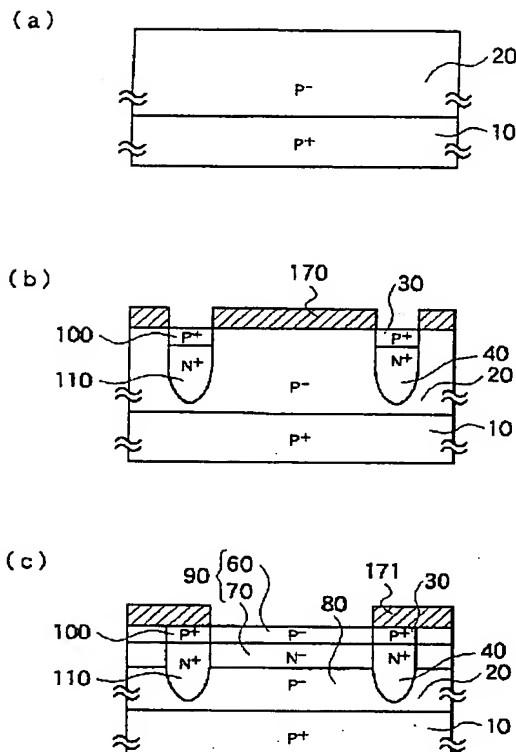
【図17】



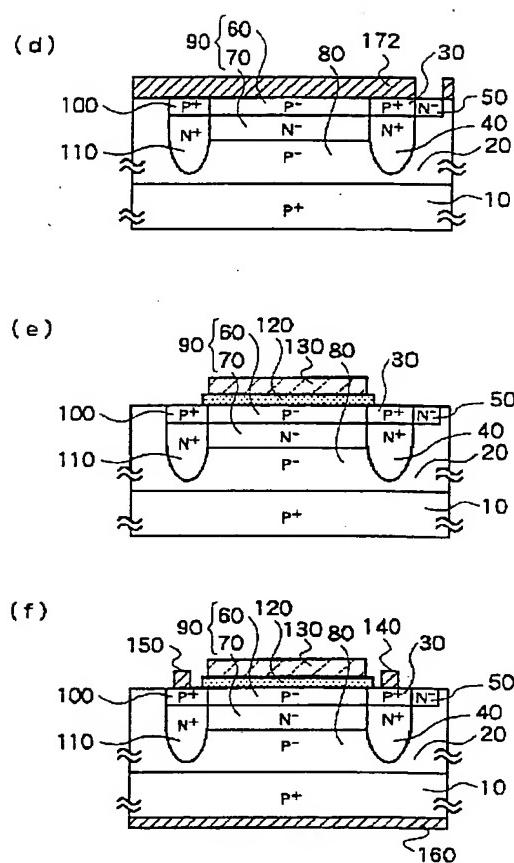
【図20】



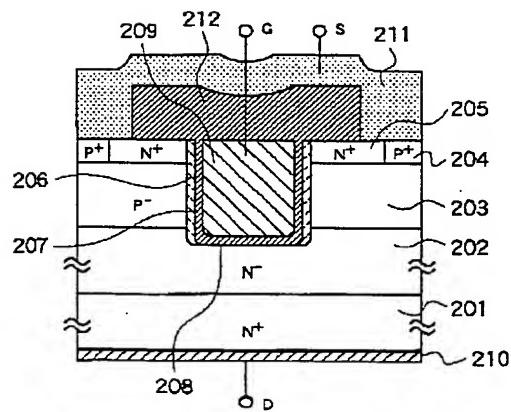
【图 15】



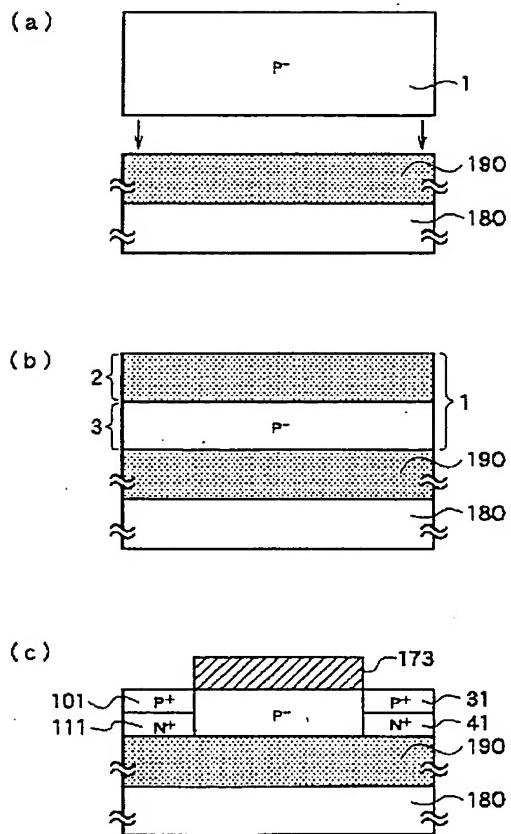
【図16】



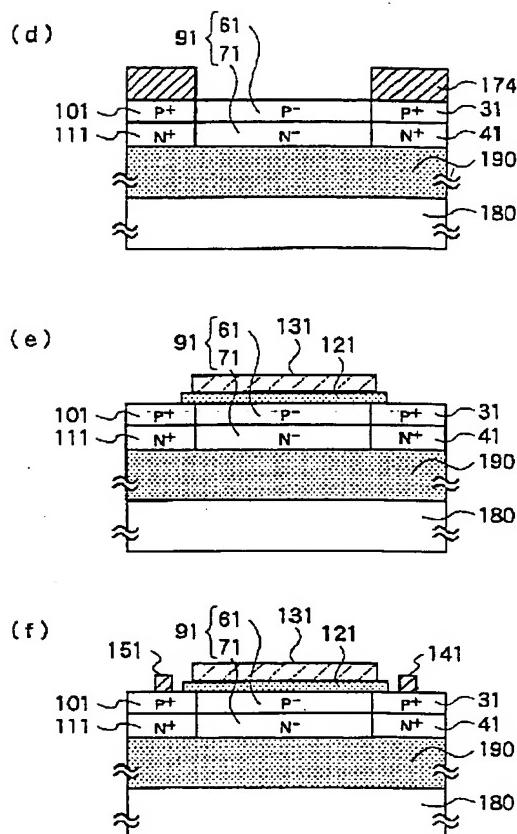
【图23】



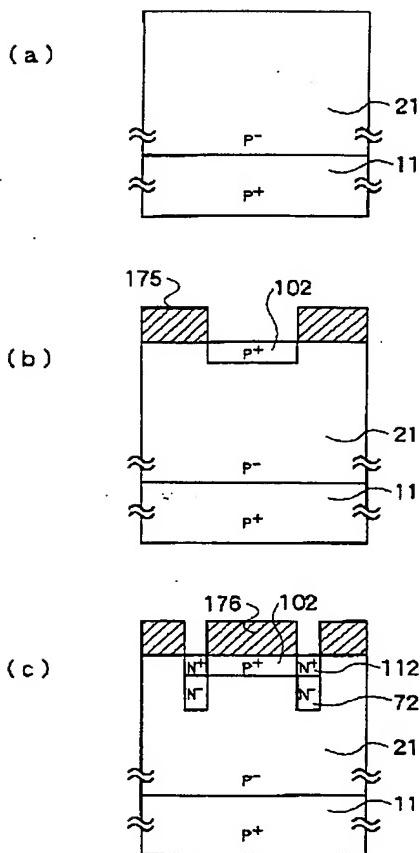
【図18】



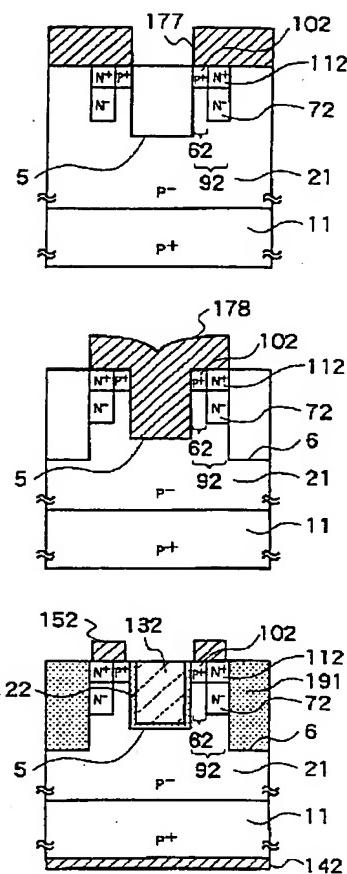
【図19】



【図21】



【図22】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

H 01 L 29/78

マークト(参考)

618 F

Fターム(参考) 5F110 AA07 AA11 BB12 CC02 CC10  
 DD05 DD13 DD22 EE09 EE22  
 FF02 FF23 GG01 GG12 GG22  
 GG30 GG32 GG34 GG36 GG42  
 GG44 GG52 GG60 HJ01 HJ04  
 HJ06 HJ13 HJ23 HK02 HK11  
 HK13 HK25 QQ17  
 5F140 AA05 AA25 AA30 AC02 AC22  
 AC23 AC36 AC40 BA02 BB06  
 BB15 BC06 BC12 BE01 BE03  
 BE07 BE15 BF01 BF04 BF43  
 BG27 BG37 BH05 BH21 BJ01  
 BJ05 BK13 BK21 CB04